

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246936

(43)公開日 平成9年(1997)9月19日

(51)IntCl.	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 17/687			H 03 K 17/687	F
G 02 F 1/133	5 0 5		G 02 F 1/133	5 0 5
G 09 G 3/36			G 09 G 3/36	
H 01 L 27/12			H 01 L 27/12	Z
29/786			H 03 K 17/14	

審査請求 有 請求項の数32 O L (全 56 頁) 最終頁に続く

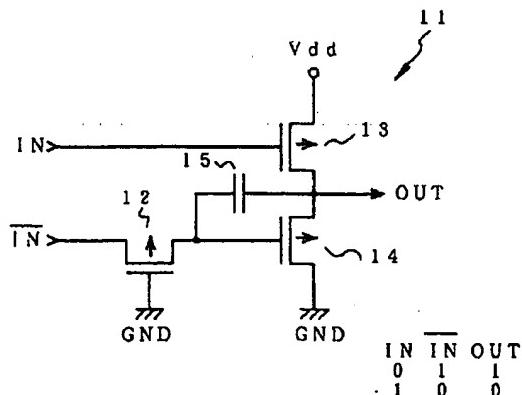
(21)出願番号	特願平8-39765	(71)出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22)出願日	平成8年(1996)2月27日	(72)発明者	西澤 克彦 東京都八王子市石川町2951番地5 カシオ 計算機株式会社八王子研究所内
(31)優先権主張番号	特願平7-94504	(72)発明者	若井 晴夫 東京都八王子市石川町2951番地5 カシオ 計算機株式会社八王子研究所内
(32)優先日	平7(1995)3月27日	(74)代理人	弁理士 荒船 博司 (外1名)
(33)優先権主張国	日本 (JP)		
(31)優先権主張番号	特願平8-17113		
(32)優先日	平8(1996)1月5日		
(33)優先権主張国	日本 (JP)		

(54)【発明の名称】半導体装置およびこれを用いた表示駆動装置

(57)【要約】

【課題】同一導電型のトランジスタで構成することで、リーク電流が小さく、高集積化が可能で、少ない工程で形成することができ、出力レベルが適正な半導体装置とする。

【解決手段】P型トランジスタ13と14の各ソース及びドレインは、電源とグラウンドとの間に直列に接続され、P型トランジスタ13のゲートには、入力(IN)側から正論理又は負論理が印加され、P型トランジスタ14のゲートには、反転入力(¬IN)側から入力(IN)を反転した論理が印加される。そして、その反転入力(¬IN)からP型トランジスタ14のゲートに致る間に、P型トランジスタ12のソース・ドレインを介在させ、そのP型トランジスタ12とP型トランジスタ14のゲートとの間に一端が接続され、P型トランジスタ13とP型トランジスタ14の接続点との間に他端が接続されたコンデンサ15を介在させている。これにより、出力端子(OUT)から出力されるLowレベルがグラウンドレベルと同等の電位となるように補正することができる。



BEST AVAILABLE COPY

1

2

- 【特許請求の範囲】
- 【請求項 1】入力端に高電位が入力される、一導電型の第1のトランジスタと、
入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、
前記第1および第2のトランジスタの出力端に接続された出力手段と、
前記第1のトランジスタのゲートに接続された非反転信号供給手段と、
前記第2のトランジスタのゲートに接続された反転信号供給手段と、
前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間にいずれかに接続された出力電圧補償回路と、
を具備してなり、前記出力電圧補償回路により前記出力手段から出力される低電位の上昇または高電位の低下を抑制することを特徴とする半導体装置。
- 【請求項 2】請求項 1 記載の発明において、前記出力電圧補償回路は、
前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、
この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段と、
を含むことを特徴とする半導体装置。
- 【請求項 3】請求項 1 または請求項 2 記載の発明において、前記第1および第2のトランジスタはP型であることを特徴とする半導体装置。
- 【請求項 4】請求項 3 記載の発明において、前記第1のトランジスタの入力端は、前記反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 5】請求項 3 記載の発明において、前記第2のトランジスタの入力端は、前記反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 6】請求項 3 記載の発明において、前記第3のトランジスタのゲートは、前記反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 7】請求項 1 または請求項 2 記載の発明において、前記第1および第2のトランジスタはN型であることを特徴とする半導体装置。
- 【請求項 8】請求項 7 記載の発明において、前記第1のトランジスタの入力端は、前記非反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 9】請求項 7 記載の発明において、前記第2のトランジスタの入力端は、前記非反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 10】請求項 7 記載の発明において、前記第3のトランジスタのゲートは、前記非反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 11】入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、
入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、
前記第1および第2のトランジスタの出力端に接続された出力手段と、
前記第3および第4のトランジスタの出力端に接続され、前記出力手段とは逆極性の信号を出力する反転出力手段と、
前記第1および前記第4のトランジスタのゲートに接続された非反転信号供給手段と、
前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、
前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間に接続された第1の出力電圧補償回路と、
前記第3および第4のトランジスタの出力端と前記非反転信号供給手段との間に接続された第2の出力電圧補償回路と、
を備えたことを特徴とする半導体装置。
- 【請求項 12】請求項 11 記載の発明において、
前記第1の出力電圧補償回路は、
前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、
この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段とを含み、
前記第2の出力電圧補償回路は、
前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第8のトランジスタと、
この第8のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段とを含むことを特徴とする半導体装置。
- 【請求項 13】請求項 11 または請求項 12 記載の発明において、前記第1乃至第4のトランジスタはP型であることを特徴とする半導体装置。
- 【請求項 14】請求項 13 記載の発明において、前記第2のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 15】請求項 13 記載の発明において、前記第1のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 16】請求項 13 記載の発明において、前記第4のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。
- 【請求項 17】請求項 13 記載の発明において、前記第3のトランジスタの入力端は前記非反転信号供給手段に

3

接続されていることを特徴とする半導体装置。

【請求項18】入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、

入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、

前記第1および第2のトランジスタの出力端に接続された反転出力手段と、

前記第3および第4のトランジスタの出力端に接続され、前記反転出力手段とは逆極性の信号を出力する出力手段と、

前記第1および第4のトランジスタのゲートに接続された非反転信号供給手段と、

前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、

前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間に接続された第1の出力電圧補償回路と、

前記第3および第4のトランジスタの出力端と前記反転信号供給手段との間に接続された第2の出力電圧補償回路と、

を備えたことを特徴とする半導体装置。

【請求項19】請求項18記載の発明において、

前記第1の出力電圧補償回路は、

前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、

この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段を含み、

前記第2の出力電圧補償回路は、

前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、

この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段を含むことを特徴とする半導体装置。

【請求項20】請求項18または請求項19記載の発明において、前記第1乃至第4のトランジスタはN型であることを特徴とする半導体装置。

【請求項21】請求項20記載の発明において、前記第1のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項22】請求項20記載の発明において、前記第3のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項23】請求項20記載の発明において、前記第2のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項24】請求項20記載の発明において、前記第

4

4のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項25】請求項11または請求項18記載の発明において、

前記非反転入力手段と前記出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第7のトランジスタと、

前記反転入力手段と前記反転出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第8のトランジスタと、

を備えたことを特徴とする半導体装置。

【請求項26】請求項11または請求項18記載の発明において、前記半導体装置は、

前記第1乃至第4のトランジスタと同一導電型の複数のトランジスタで構成された論理回路を備えたことを特徴とする半導体装置。

【請求項27】請求項26記載の発明において、前記論理回路はANDまたはNAND回路を含むことを特徴とする半導体装置。

【請求項28】請求項26記載の発明において、前記論理回路はORまたはNOR回路を含むことを特徴とする半導体装置。

【請求項29】請求項26記載の発明において、前記論理回路はEXORまたはEXNOR回路を含むことを特徴とする半導体装置。

【請求項30】請求項11または請求項18記載の発明において、前記半導体装置は、

前記第1乃至第4のトランジスタと同一導電型の第9のトランジスタを有し、前記出力手段または前記反転出力手段の少なくとも一方は、前記第9のトランジスタのゲートに接続されていることを特徴とする半導体装置。

【請求項31】絶縁基板上に形成された複数のラッチ回路を含む表示駆動装置であって、

前記各ラッチ回路は、

入力端に高電位が入力される、一導電型の第1のトランジスタと、

入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、

前記第1および第2のトランジスタの出力端に接続された出力手段と、

前記第1のトランジスタのゲートに接続された非反転信号供給手段と、

前記第2のトランジスタのゲートに接続された反転信号供給手段と、

前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、

前記出力電圧補償回路は、前記反転信号供給手段または

非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする表示駆動装置。

【請求項32】絶縁基板上に形成されたそれぞれが継続された複数のインバータ回路を含む表示駆動装置であって、

前記各インバータ回路は、

入力端に高電位が入力される、一導電型の第1のトランジスタと、

入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、

前記第1および第2のトランジスタの出力端に接続された出力手段と、

前記第1のトランジスタのゲートに接続された非反転信号供給手段と、

前記第2のトランジスタのゲートに接続された反転信号供給手段と、

前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、

前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびこれを用いた表示駆動装置に関し、詳細には、同じ導電型の複数のトランジスタからなる半導体装置およびこれを用いた表示駆動装置に関する。

【0002】

【従来の技術】従来、例えば、液晶表示装置などのドライバ回路を薄膜トランジスタ(TFT:Thin Film Transistor)で構成する場合は、通常はCMOS(相補型)回路が用いられている。このCMOS回路は、低消費電力であって、適正な出力が得られることなどの利点があり、広く用いられている。

【0003】図41は、CMOSインバータ回路の構成を示す図である。図41に示すように、CMOS1は、PMOS2とNMOS3の二種類のトランジスタを対にして用いている。このCMOS1は、IN(入力)が「0」のときにPMOS2がオンして電源から「1」がOUT(出力)される。また、入力が「1」のときは、NMOS3がオンとなってグラウンドからの「0」が出

力される。このように、CMOSインバータ回路は、入力を反転したものが outputされる。

【0004】また、これとは別に、PMOSもしくはNMOSのいずれか一方のトランジスタを用いてインバータ回路を構成することも可能である。このインバータ回路には、比率形インバータ回路と無比率形インバータ回路とがあり、さらに、比率形インバータ回路の中には、抵抗負荷形、E/E形、E/D形などがある。

【0005】上記從来例では、インバータ回路を例にあげて説明したが、これ以外にラッチ回路、トライステート回路、ドレインドライバ回路、ゲートドライバ回路等を構成する場合、あるいは、ロジック回路としてオア回路、エクスクルシブ・オア回路、アンド回路、 NAND回路等を構成する場合もCMOS等が使われていた。

【0006】

【発明が解決しようとする課題】しかしながら、このような從来の半導体装置にあっては、図41に示すCMOS1がPMOS2とNMOS3の二種類のトランジスタから構成されているため、CMOSを製造する際に、PMOSとNMOSの両方を作る必要から不純物注入工程が増加して、マスクの枚数も増えることから製造工程および素子構造が複雑化して、高コスト化するという問題があった。

【0007】また、半導体装置のチャネル部分からのリーキ電流を抑えるため、半導体素子の構造として不純物濃度の異なる領域を形成するLDD構造を採用すると、さらに不純物注入工程が増加する問題が生ずる。

【0008】そこで、上記したCMOSを使わずにPMOSもしくはNMOSのいずれか一方のトランジスタを用いる構成として、例えば、上記した比率形インバータ回路の抵抗負荷形とした場合、トランジスタと負荷抵抗を備えている。このトランジスタは、PMOSもしくはNMOSのいずれか一方を使っているため、素子構造が簡略化され、製造工程数を少なくできる。ところが、このトランジスタの他に広い面積を占める負荷抵抗を要するため、高集積化できなくなる上、負荷抵抗を用いた回路は、直流通的なリーキ電流が大きくなつて、出力レベルが小さくなるという問題がある。

【0009】さらに、図42は、上記の無比率形インバータ回路4を示す図であり、ここでは2個のPMOS5および6を使って構成している。この無比率形インバータ回路4は、同じ導電型(ここではP型)のトランジスタで構成しているので、不純物注入工程がCMOSの場合に比べて少くなり、また、負荷抵抗を使わないため集積化することができる。

【0010】この無比率形インバータ回路4の基本動作を示したのが図42であり、PMOS5のゲートに「0」が入力されると、PMOS5がオンして、電源から「1」が出力される。また、このときPMOS6のゲートには、「1」が入力されるため、PMOS6がオフ

して、電源からの電流はグラウンド側に流れない。

【0011】逆に、PMOS 5 のゲートに「1」が入力されると、PMOS 5 がオフし、また、PMOS 6 のゲートには、「0」が入力されるため、PMOS 6 がオンして、グラウンド電位 V_{GND} の「0」が output されるはずである。ところが、この出力されるロー側の「0」は、トランジスタのしきい値電圧分だけ上昇するため、グラウンド電位 V_{GND} のように充分低い電位が output できなくなるという問題がある。これは、以下に述べるような場合に特に問題となる。

【0012】図43は、図42の回路を3個直列に接続した無比率形インバータ回路7を示す図であり、図44は、図43の無比率形インバータ回路7の動作時における各部の信号波形を示す図である。

【0013】図43および図44に示すように、無比率形インバータ回路7に最初に入力される入力(IN)と反転入力(¬IN)の電位がV_{dd}とグラウンド電位であっても、01出力(01)と反転01出力(¬01)になると、グラウンド電位よりわずかに上昇し、また、02出力(02)と反転02出力(¬02)になると、グラウンド電位よりさらに上昇し、最終的な出力(OUT)と反転出力(¬OUT)ではローレベルがグラウンド電位よりも大幅に上昇するため、このインバータを使った回路が誤動作するおそれがある。

【0014】このように、PMOSのみでCMOS回路を構成した場合、PMOSのしきい値分だけグラウンド電位 V_{GND} が上昇するが、NMOSのみでCMOS回路を構成した場合には、電源電位 V_{dd} が NMOS のしきい値分だけ上昇する。

【0015】つまり、CMOS回路をPMOSまたはNトランジスタの一方のみで構成すると、トランジスタのしきい値分だけ出力が鈍り、次段の回路の動作余裕度が低減する。従って、多数のインバータ回路を継続接続することは勿論、他の回路との接続も不可能となる。

【0016】そこで、本発明は、相補型トランジスタからなるインバータ回路をP型またはN型のいずれか一方の導電型の絶縁ゲート型トランジスタのみで構成しても、グラウンド電位 V_{GND} または電源電位 V_{dd} を上昇または下降することなく出力することができる半導体装置およびこの半導体装置を用いた表示駆動装置を提供することを目的とする。

【0017】

【課題を解決するための手段】請求項1記載の半導体装置は、入力端に高電位が入力される、一導電型の第1のトランジスタと、入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第1のトランジスタのゲートに接続された非反転信号供給手段と、前記第2のトランジスタのゲートに接続された反転信号供給手段と、前記第

1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路と、を具備してなり、前記出力電圧補償回路により前記出力手段から出力される低電位の上昇または高電位の低下を抑制することを特徴とする。

【0018】すなわち、第1のトランジスタと第2のトランジスタは、それぞれのゲートに接続された非反転信号供給手段と反転信号供給手段の供給信号によってスイッチング動作が行われ、出力手段から高電位または低電位を出力する際に、出力電圧補償回路により低電位が上昇したり、高電位が低下したりするのが抑制される。

【0019】したがって、請求項1記載の半導体装置は、同一導電型のトランジスタを使って構成したとしても、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、適正な高電位あるいは低電位の出力信号を出力するため、この半導体装置を使って回路を構成しても誤動作が防止される。

【0020】また、第1のトランジスタと第2のトランジスタは、同一導電型のトランジスタで構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化を達成することができる。

【0021】さらに、第1のトランジスタと第2のトランジスタは、非反転信号供給手段と反転信号供給手段によって交互にスイッチングさせるため、リード電流を少なくすることができる。

【0022】請求項2記載の半導体装置は、請求項1記載の発明において、前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段と、を含むようにしてもよい。

【0023】すなわち、具体的な出力電圧補償回路としては、例えば、反転信号供給手段または非反転信号供給手段に第3のトランジスタの入力端を接続し、その第3のトランジスタの出力端と第1および第2のトランジスタの出力端との間に容量手段を接続するものである。

【0024】したがって、同一導電型からなる第1または第2のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第3のトランジスタと容量手段とによって、いわゆる「ブーストストラップ」を構成することにより、適正な出力電位を補償することができる。

【0025】請求項3記載の半導体装置は、請求項1または請求項2記載の発明において、前記第1および第2のトランジスタはP型であってもよい。

【0026】請求項4記載の半導体装置は、請求項3記

載の発明において、前記第1のトランジスタの入力端は、前記反転信号供給手段に接続されていてもよい。

【0027】請求項5記載の半導体装置は、請求項3記載の発明において、前記第2のトランジスタの入力端は、前記反転信号供給手段に接続されていてもよい。

【0028】請求項6記載の半導体装置は、請求項3記載の発明において、前記第3のトランジスタのゲートは、前記反転信号供給手段に接続されていてもよい。

【0029】すなわち、請求項3乃至請求項6に記載の半導体装置は、第1、第2および第3のトランジスタをP型としたり、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを反転信号供給手段に接続するようにしてもよい。

【0030】したがって、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0031】請求項7記載の半導体装置は、請求項1または請求項2記載の発明において、前記第1および第2のトランジスタはN型としてもよい。

【0032】請求項8記載の半導体装置は、請求項7記載の発明において、前記第1のトランジスタの入力端は、前記非反転信号供給手段に接続するようにしてもよい。

【0033】請求項9記載の半導体装置は、請求項7記載の発明において、前記第2のトランジスタの入力端は、前記非反転信号供給手段に接続するようにしてもよい。

【0034】請求項10記載の半導体装置は、請求項7記載の発明において、前記第3のトランジスタのゲートは、前記非反転信号供給手段に接続するようにしてもよい。

【0035】すなわち、請求項7乃至請求項10に記載の半導体装置は、第1、第2および第3のトランジスタをN型としたり、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを非反転信号供給手段に接続するようにしてもよい。

【0036】したがって、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記非反転信号供給手段に接続することによって、配線を簡素化することができるとともに、消費電力を低減することができる。

【0037】請求項11記載の半導体装置は、入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4

のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第3および第4のトランジスタの出力端に接続され、前記出力手段とは逆極性の信号を出力する反転出力手段と、前記第1および前記第4のトランジスタのゲートに接続された非反転信号供給手段と、前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間に接続された第1の出力電圧補償回路と、前記第3および第4のトランジスタの出力端と前記非反転信号供給手段との間に接続された第2の出力電圧補償回路と、を備えたことを特徴とする。

【0038】すなわち、第1および第3のトランジスタの入力端に高電位が入力され、第2および第4のトランジスタの入力端に低電位が入力され、第1および第4のトランジスタのゲートに非反転信号供給手段が接続され、第2および第3のトランジスタのゲートに反転信号供給手段が接続されて、これらの供給信号によりスイッチング動作を行って、出力手段および反転出力手段から高電位または低電位を出力する際に、第1および第2の出力電圧補償回路により低電位が上昇したり、高電位が低下したりするのが抑制される。

【0039】したがって、請求項11記載の半導体装置は、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号が出力されるため、この半導体装置を使って回路を構成しても誤動作が防止される。

30 【0040】また、第1乃至第4のトランジスタは、同一導電型で構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化とを達成することができる。

【0041】さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせるため、リーク電流を小さくすることができる。

【0042】請求項12記載の半導体装置は、請求項1記載の発明において、前記第1の出力電圧補償回路は、前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段とを含み、前記第2の出力電圧補償回路は、前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段とを含むようにしてもよい。

11

【0043】すなわち、具体的な出力電圧補償回路としては、例えば、反転信号供給手段に第5のトランジスタの入力端を接続し、その第5のトランジスタの出力端と第1および第2のトランジスタの出力端との間に第1の容量手段を接続し、非反転信号供給手段に第6のトランジスタの入力端を接続し、その第6のトランジスタの出力端と第3および第4のトランジスタの出力端との間に第2の容量手段を接続するものである。

【0044】したがって、一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第5および第6のトランジスタと第1および第2の容量手段とによる、いわゆる「ブートストラップ」を構成することにより、適正な出力電位が補償される。

【0045】請求項13記載の半導体装置は、請求項1または請求項12記載の発明において、前記第1乃至第4のトランジスタはP型としてもよい。

【0046】請求項14記載の半導体装置は、請求項13記載の発明において、前記第2のトランジスタの入力端は前記反転信号供給手段に接続するようにしてよい。

【0047】請求項15記載の半導体装置は、請求項13記載の発明において、前記第1のトランジスタの入力端は前記反転信号供給手段に接続するようにしてよい。

【0048】請求項16記載の半導体装置は、請求項13記載の発明において、前記第4のトランジスタの入力端は前記非反転信号供給手段に接続するようにしてよい。

【0049】請求項17記載の半導体装置は、請求項13記載の発明において、前記第3のトランジスタの入力端は前記非反転信号供給手段に接続するようにしてよい。

【0050】すなわち、請求項13乃至請求項17に記載の半導体装置は、第1乃至第6のトランジスタをP型としたり、第1および第2のトランジスタの入力端を反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を非反転信号供給手段に接続するようにしてよい。

【0051】したがって、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0052】請求項18記載の半導体装置は、入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、前記第1および第2のトランジスタとし

12

の出力端に接続された反転出力手段と、前記第3および第4のトランジスタの出力端に接続され、前記反転出力手段とは逆極性の信号を出力する出力手段と、前記第1および第4のトランジスタのゲートに接続された非反転信号供給手段と、前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間に接続された第1の出力電圧補償回路と、前記第3および第4のトランジスタの出力端と前記反転信号供給手段との間に接続された第2の出力電圧補償回路と、を備えたことを特徴とする。

【0053】すなわち、第1および第3のトランジスタの入力端に高電位が入力され、第2および第4のトランジスタの入力端に低電位が入力され、第1および第4のトランジスタのゲートに非反転信号供給手段が接続され、第2および第3のトランジスタのゲートに反転信号供給手段が接続されて、これらの供給信号によりスイッチング動作を行って、出力手段および反転出力手段から高電位または低電位を出力する際に、第1および第2の出力電圧補償回路によって低電位が上昇したり、高電位が低下したりするのが抑制される。

【0054】したがって、請求項18記載の半導体装置は、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号を出力することができるため、この半導体装置を使って回路を構成しても誤動作を防止することができる。

【0055】また、第1乃至第4のトランジスタは、同一導電型で構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化とを達成することができる。

【0056】さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせるため、リーク電流を少なくすることができる。

【0057】請求項19記載の半導体装置は、請求項18記載の発明において、前記第1の出力電圧補償回路は、前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段を含み、前記第2の出力電圧補償回路は、前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段を含むようにしてよい。

【0058】すなわち、具体的な出力電圧補償回路とし

13

ては、例えば、非反転信号供給手段に第5のトランジスタの入力端を接続し、その第5のトランジスタの出力端と第1および第2のトランジスタの出力端との間に第1の容量手段を接続し、反転信号供給手段に第6のトランジスタの入力端を接続し、その第6のトランジスタの出力端と第3および第4のトランジスタの出力端との間に第2の容量手段を接続するものである。

【0059】したがって、同一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第5および第6のトランジスタと第1および第2の容量手段とによる、いわゆる「ブーストストラップ」を構成することにより、適正な出力電位が補償される。

【0060】請求項20記載の半導体装置は、請求項18または請求項19記載の発明において、前記第1乃至第4のトランジスタはN型としてもよい。

【0061】請求項21記載の半導体装置は、請求項20記載の発明において、前記第1のトランジスタの入力端は前記非反転信号供給手段に接続するようにしてよい。

【0062】請求項22記載の半導体装置は、請求項20記載の発明において、前記第3のトランジスタの入力端は前記反転信号供給手段に接続するようにしてよい。

【0063】請求項23記載の半導体装置は、請求項20記載の発明において、前記第2のトランジスタの入力端は前記非反転信号供給手段に接続するようにしてよい。

【0064】請求項24記載の半導体装置は、請求項20記載の発明において、前記第4のトランジスタの入力端は前記反転信号供給手段に接続するようにしてよい。

【0065】すなわち、請求項20乃至請求項24に記載の半導体装置は、第1乃至第6のトランジスタをN型としたり、第1および第2のトランジスタの入力端を非反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を反転信号供給手段に接続するようにしてよい。

【0066】したがって、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0067】請求項25記載の半導体装置は、請求項1または請求項18記載の発明において、前記非反転入力手段と前記出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第7のトランジスタと、前記反転入力手段と前記反転出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電

14

型の第8のトランジスタと、を備えるようにしてよい。

【0068】すなわち、請求項11または請求項18記載の半導体装置において、非反転入力手段と出力手段との間に第7のトランジスタを、反転入力手段と反転出力手段との間に第8のトランジスタを設けたことにより、ラッチ回路が構成される。

【0069】したがって、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られるラッチ回路とすることができる。

【0070】請求項26記載の半導体装置は、請求項11または請求項18記載の発明において、前記半導体装置は、前記第1乃至第4のトランジスタと同一導電型の複数のトランジスタで構成された論理回路を備えるようにしてよい。

【0071】請求項27記載の半導体装置は、請求項26記載の発明において、前記論理回路はANDまたはNAND回路を含むようにしてよい。

【0072】請求項28記載の半導体装置は、請求項26記載の発明において、前記論理回路はORまたはNOR回路を含むようにしてよい。

【0073】請求項29記載の半導体装置は、請求項26記載の発明において、前記論理回路はEXORまたはEXNOR回路を含むようにしてよい。

【0074】すなわち、請求項26乃至請求項29に記載の半導体装置は、請求項11乃至請求項24のいずれかに記載の半導体装置において、同一導電型の複数のトランジスタにより、AND、NAND、OR、NOR、

EXOR、EXNOR等の論理回路を備えるようにしてよい。

【0075】したがって、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られる論理回路とができる。

【0076】請求項30記載の半導体装置は、請求項11または請求項18記載の発明において、前記半導体装置は、前記第1乃至第4のトランジスタと同一導電型の第9のトランジスタを有し、前記出力手段または前記反

転出力手段の少なくとも一方は、前記第9のトランジスタのゲートに接続されるようにしてよい。

【0077】すなわち、請求項11または請求項18記載の半導体装置の出力手段または反転出力手段の少なくとも一方は、第9のトランジスタのゲートに接続されている。

【0078】したがって、半導体装置の出力手段や反転出力手段からの出力電位を用いて、さらに、第9のトランジスタをスイッチングさせる、例えば、トライステート回路等に適用することができる。

【0079】請求項31記載の表示駆動装置は、絶縁基

15

板上に形成された複数のラッチ回路を含む表示駆動装置であって、前記各ラッチ回路は、入力端に高電位が入力される、一導電型の第1のトランジスタと、入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第1のトランジスタのゲートに接続された非反転信号供給手段と、前記第2のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする。

【0080】すなわち、表示駆動装置を構成する複数のラッチ回路は、第1のトランジスタの入力端に高電位が入力され、第2のトランジスタの入力端に低電位が入力され、第1および第2のトランジスタの出力端に出力手段が接続され、非反転信号供給手段が第1のトランジスタのゲートに接続され、反転信号供給手段が第2のトランジスタのゲートに接続され、前記出力手段と前記反転信号供給手段、または、非反転信号供給手段のいずれかの間に出力電圧補償回路が接続され、その出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に第3のトランジスタの入力端が接続され、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端との間に容量手段が接続される。

【0081】したがって、本発明の半導体装置を含むラッチ回路を使って表示駆動装置を構成したため、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【0082】請求項32記載の表示駆動装置は、絶縁基板上に形成されたそれぞれが継続された複数のインバータ回路を含む表示駆動装置であって、前記各インバータ回路は、入力端に高電位が入力される、一導電型の第1のトランジスタと、入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第1のトランジスタのゲートに接続された非反転信号供給手段と、前記第2のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、前記出力電圧補償回路は、前記反転信号供給手段または非反

16

転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする。

【0083】すなわち、表示駆動装置を構成する継続された複数のインバータ回路は、第1のトランジスタの入力端に高電位が入力され、第2のトランジスタの入力端に低電位が入力され、出力手段が第1および第2のトランジスタの出力端に接続され、非反転信号供給手段が第1のトランジスタのゲートに接続され、反転信号供給手段が第2のトランジスタのゲートに接続され、前記出力手段と前記反転信号供給手段、または、前記非反転信号供給手段とのいずれかの間に出力電圧補償回路が接続され、その出力電圧補償回路は、反転信号供給手段または非反転信号供給手段に第3のトランジスタの入力端が接続され、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端との間に容量手段が接続される。

【0084】したがって、本発明の半導体装置を含むインバータ回路を使って表示駆動装置を構成したため、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【0085】

【発明の実施の形態】以下、本発明の半導体装置とこれを用いた表示駆動装置の実施形態を図面に基づいて説明する。

【0086】図1乃至図40は、本発明の半導体装置とこれを用いた表示駆動装置の一実施形態を示す図であり、ここでは、半導体装置に用いる同一導電型のトランジスタとしてPMOSのみを使って実施したものである。

【0087】図1乃至図40において、本発明の半導体装置の基本的な回路構成を図1で示し、図1の回路を組み合わせて構成したインバータ回路を図2乃至図16に示し、図1の回路と複数のP型トランジスタを用いて構成したラッチ回路を図17乃至図21に示し、図1の回路と複数のP型トランジスタを用いて構成したAND(およびNAND)回路を図22乃至図27に示し、OR(およびNOR)回路を図28及び図29に示し、EXOR(およびEXNOR)回路を図30及び図31に示し、図1の回路と複数のP型トランジスタと複数の電圧源(VC, VL, VH)を用いて構成したトライステート回路を図32乃至図35に示し、上記したインバータ回路、ラッチ回路、アンド(および NAND)回路、およびトライステート回路等を用いて構成したドレインドライバやゲートドライバを備えた液晶駆動回路を図36乃至図40に示している。

【0088】(インバータ基本回路)図1は、本発明の半導体装置のインバータ基本回路構成を示す図である。

図1に示すように、本発明の半導体装置11は、3個のP型絶縁ゲート型（以下、P型トランジスタという）トランジスタ12、13、14と、1個のコンデンサ15とから構成されている。ここで、P型トランジスタはゲート絶縁膜でシリコン酸化膜で形成されたP型又はシリコン窒化膜等他の絶縁膜で形成されたP型の電界効果型薄膜トランジスタ（MIS-FET）である。この3個のP型トランジスタ12、13、14は、いずれもアモルファシリコン、ポリシリコン等の非単結晶シリコンで形成された半導体層を有する。そして、P型トランジスタ13とP型トランジスタ14のソースおよびドレインは、電源電位（Vdd）とグラウンド電位（Vgnd）との間に直列に接続され、P型トランジスタ13のゲートには、入力（IN）側から正論理又は負論理が印加され、P型トランジスタ14のゲートには、反転入力（¬IN）側から入力（IN）を反転した論理が印加される。

【0089】上記した構成だけであれば、図38の従来例に示す無比率形インバータ回路と同様であって、入力（IN）に「0」が入力され、反転入力（¬IN）に「1」が入力されると、出力端部（OUT）から「1」が出力されるが、逆に、入力（IN）に「1」が入力され、反転入力（¬IN）から「0」が入力されると、出力（OUT）からは充分下がりきらないローレベルの「0」が出力される。これは、P型トランジスタ14がオンしたときに、そのしきい値電圧分だけ低電位側を上昇させることによる。

【0090】そこで、本発明では、図1に示す半導体装置11の反転入力（¬IN）とP型トランジスタ13、14の出力端との間に出力電圧補償回路を接続して、P型トランジスタ14から出力される低電位がグラウンド電位（Vgnd）から上昇することを抑制するようしている。

【0091】出力電圧補償回路は、P型トランジスタ13および14と同一導電型のP型トランジスタ12とコンデンサ15からなり、P型トランジスタ12のソースを反転入力（¬IN）に接続し、ドレインをP型トランジスタ14のゲートに接続するとともに、コンデンサ15の一方の電極をP型トランジスタ13、14の出力側の接続点に、また、他方の電極をP型トランジスタ12のドレインとP型トランジスタ14のゲートとの接続線に接続して構成される。また、P型トランジスタ12のゲートはグラウンド電位（Vgnd）に接続されている。このように、上記したP型トランジスタ12とコンデンサ15を従来の無比率形インバータ回路に組み合わせたことにより、出力端部（OUT）から出力されるローレベルをグラウンド電位と同じ電位まで下げることが可能になった。

【0092】また、上記した3個のトランジスタ12、13、14は、同一導電型（ここではPチャネル形）の

トランジスタで構成できるため、不純物注入工程やマスクの枚数が削減されて、製造工程が簡略化されることにより、コストを低減化することができる。

【0093】さらに、スイッチングトランジスタであるP型トランジスタ13を電源側、P型トランジスタ14をグラウンド側に設けて、各ゲートに正論理と負論理の両方を入力するようにしたため、リーク電流が少なくなり、低消費電力化を図ることができる。

【0094】（インバータ回路）図2は、図1のインバータ基本回路を2個組み合わせて正論理・負論理の両方の否定を出力するインバータ回路21の構成を示す図である。

【0095】まず、構成を説明する。

【0096】図2に示すように、インバータ回路21は、P型トランジスタQ1、Q2、Q3とコンデンサC1とで構成されたインバータ基本回路22と、P型トランジスタQ4、Q5、Q6とコンデンサC2とで構成されたインバータ基本回路23とを組み合わせたものである。

【0097】インバータ基本回路22は、P型トランジスタQ2のゲートに入力（IN）が、P型トランジスタQ1を介してP型トランジスタQ3のゲートに反転入力（¬IN）が入力される。また、インバータ基本回路23は、P型トランジスタQ5、Q6のゲートに対して、入力（IN）と反転入力（¬IN）とがインバータ基本回路22とは逆に入力される。

【0098】次に、動作を説明する。

【0099】インバータ回路21は、例えば、入力（IN）に負論理「0」が入力され、反転入力（¬IN）に正論理「1」が入力されると、インバータ基本回路22のP型トランジスタQ2がオンして、電源Vddから「1」が出力（OUT）され、P型トランジスタQ3はオフする。逆に、インバータ基本回路23は、P型トランジスタQ5がオフし、P型トランジスタQ6がオンして、反転出力（¬OUT）としてグラウンド電位の「0」が出力される。

【0100】さらに、上記インバータ回路21において、入力（IN）と反転入力（¬IN）の論理が上記と逆の場合は、出力（OUT）側から「0」が出力され、反転出力（¬OUT）側からは「1」が出力されることになる。

【0101】このように、本実施形態のインバータ回路21は、正論理・負論理の両方が入力および反転入力として入力されると、それらの否定が出力および反転出力として出力される。

【0102】また、本実施形態のインバータ回路21は、インバータ基本回路22のP型トランジスタQ3あるいはインバータ基本回路23のP型トランジスタQ6がオンした場合、グラウンド電位が出力あるいは反転出力として出力されるが、図2に示すように、P型トラン

19

ジスタQ3およびQ6のゲートにP型トランジスタQ1およびQ4が設けられ、このP型トランジスタQ1と出力端部との間、およびP型トランジスタQ4と反転出力端部との間に、それぞれ所定容量からなるコンデンサC1・C2が配置されている。

【0103】このため、出力や反転出力としてローレベルを出力する際に、そのローレベルが上昇するのを防止することが可能となり、適正なVddレベルの「1」とグラウンド電位の「0」とを出力あるいは反転出力として出力することができる。

【0104】図3は、図2のインバータ回路21のシンボルを示す図であり、インバータ回路21の入力側には、入力(IN)とそれを否定した反転入力(¬IN)が入力されると、出力側から入力の論理が反転された出力(OUT)と、それを否定した反転出力(¬OUT)が出力される。

【0105】そして、図4は、上記図3のインバータ回路21のシンボルを3個直列に接続した回路構成を示す図で、図4に示す従来例の回路構成に対応している。前述した図4に示す従来例の各部の信号レベルは、各段のインバータ回路からローレベルを出力する際に、出力されるローレベルがグラウンド電位(VGND)よりも少しづつ上昇するため、インバータ回路を3個直列に接続して動作させると、それらの上昇分の累積結果が最終的なインバータ回路の出力レベルとなり、出力されるローレベルがグラウンド電位(VGND)よりも大幅にアップして、適正な出力レベルが得られなかった。

【0106】図5は、図4のインバータ回路を動作させた時の入出力信号のシミュレーション結果を示す図である。なお、本明細書中のシミュレーションで使用したP型トランジスタは、トランジスタサイズがL=4μm, W=4μm、しきい値電圧が-3V、電界効果移動度が40cm²/V·S、ゲート電極容量が1.22×10-14F、S/D(ソース/ドレイン)抵抗が200Ω、基板電圧が電源電圧(Vdd)と等電位のものを使用している。また、インバータ基本回路に用いたコンデンサは、0.2pFの容量のものを使用している。

【0107】そこで、図5に示すように、本実施形態のインバータ回路は、インバータ回路を3個直列に接続した場合でも、ローレベルが上昇するという出力レベルの損失が見られず、常に適正なグラウンド電位(VGND)および電源レベル(Vdd)を出力(OUT)あるいは反転出力(¬OUT)することができる。

【0108】また、本実施形態のインバータ回路は、上記したように出力レベルの損失が無く、電源電圧(Vdd)1.2V・動作周波数100KHzで動作する上、直流通じるリーキ電流が無く、遷移電流しか流れないことが確認できた。このため、例えば、TFT-LCDの駆動回路として用いる場合の動作速度や消費電流に関して充分な特性を持っていることがわかった。

20

【0109】次に、図6乃至図9は、図2のインバータ回路21を変形した回路構成例を示す図である。図2と同様にP型トランジスタQ1乃至Q6と、コンデンサC1, C2を使っているが、各P型トランジスタの入力端、あるいはゲートの接続関係を変えたものである。

【0110】すなわち、図2のインバータ回路21のトランジスタQ3がオン動作してローレベルを出力するのは、反転入力信号(¬IN)がローレベルの時である。このため、トランジスタQ3がグラウンドに接地されて

10 いる入力端の電極は、常にローレベルである必要はない、反転入力信号(¬IN)がローレベルの時だけ、ローであればよいことになる。

【0111】したがって、図6に示すように、トランジスタQ3の入力端をグラウンドではなく、トランジスタQ3がオン動作する際に、ローレベルとなる反転入力端部(¬IN)に接続しても支障がなく、全く同じ動作が行われる。

【0112】また、図6のトランジスタQ6に関しても、上記と同様の理由により、グラウンドに接地されていた入力端を、トランジスタQ6がオン動作する際にローレベルとなる入力端部(IN)に接続することで、接続箇所が少なくなって、配線が簡素化され、消費電力を減少させることができる。

【0113】次に、図2のインバータ回路21のトランジスタQ2がオン動作してハイレベルを出力するのは、入力信号(IN)がローレベルの時である。このため、トランジスタQ2が電源に接続されている入力端の電極は、常にハイレベルである必要はなく、入力信号(IN)がローレベルの時だけ、ハイレベルが入力されればよいことになる。

【0114】したがって、図7に示すように、トランジスタQ2の入力端を電源ではなく、トランジスタQ2がオン動作する際に、ハイレベルとなる反転入力端部(¬IN)に接続しても支障がなく、全く同じ動作が行われる。

【0115】また、図7のトランジスタQ5に関しても、上記と同様の理由により、電源に接続されていた入力端を、トランジスタQ5がオン動作する際にハイレベルとなる入力端部(IN)に接続することで、電源との接続箇所が少なくなって、配線を簡素化され、消費電力を減少することができる。

【0116】次に、図8に示すように、トランジスタQ2, Q3, Q5, Q6のそれぞれの入力端を上記と同様の理由により、入力端部(IN)や反転入力端部(¬IN)に接続しても支障がなく、図2と全く同じ動作を行うことができる。

【0117】さらに、図2に示したインバータ回路21では、トランジスタQ3とQ6のゲート電圧を補償してローレベルの信号を確実に出力させるブーストアップ用のトランジスタQ1, Q4のゲート電極がグラウンド

に接地されているが、このトランジスタQ1、Q4も常にオン状態である必要はなく、トランジスタQ3あるいはQ6がオン動作するときに、P型トランジスタQ1あるいはQ4のゲート電極にローレベルが入力されてオンすればよい。

【0118】したがって、図9に示すように、トランジスタQ1あるいはQ4のゲート電極をグラウンドに接続するのではなく、トランジスタQ3がオン動作する際にローレベルとなる反転入力端部(—IN)にトランジスタQ1のゲート電極を接続し、また、トランジスタQ6がオン動作する際にローレベルとなる入力端部(IN)にトランジスタQ4のゲート電極を接続しても支障がなく、全く同じ動作を行うことができる。

【0119】これにより、さらにトランジスタのグラウンドや電源への接続箇所を少なくすることができるので、配線が簡素化され、消費電力を減少することができる。

【0120】次に、図10は、図2に示すP型トランジスタのインバータ回路をN型絶縁ゲート型トランジスタ(以下、N型トランジスタといいう)で構成した場合の回路図である。

【0121】ここで、N型トランジスタは、ゲート絶縁膜がシリコン酸化膜で形成されたMOS又はシリコン窒化膜等他の絶縁膜で形成されたN型の電界効果型トランジスタ(MIS-FET)である。

【0122】図10に示すように、インバータ回路210は、N型トランジスタQ11、Q12、Q13とコンデンサC1とで構成されたインバータ基本回路220と、N型トランジスタQ14、Q15、Q16とコンデンサC2とで構成されたインバータ基本回路230とを組み合わせたものである。

【0123】インバータ基本回路220は、N型トランジスタQ11を介してN型トランジスタQ12のゲートに入力信号(IN)が、N型トランジスタQ13のゲートに反転入力信号(—IN)が入力される。また、インバータ基本回路230は、N型トランジスタQ15、Q16のゲートに入力される入力信号(IN)と反転入力信号(—IN)とがインバータ基本回路220とは逆に入力される。

【0124】そして、トランジスタQ12、Q15の入力端とトランジスタQ11、Q14のゲート電極には、電源からハイレベルの信号が常に供給されている。また、トランジスタQ13およびQ16の入力端は、グラウンドに接続されて、常にローレベルの信号が入力されている。

【0125】図11は、周知のバスロジック回路200の出力側に図10のN型インバータ回路210を接続した回路である。バスロジック回路200は、低消費電力、高処理能力および高集積化を目的として最近開発された回路であり、列及び行方向にネットワーク状に配列

された多数のN型トランジスタQ $a\alpha$ 、Q(— $a\alpha$)…、Q $m\lambda$ 、Q(— $m\lambda$)…Q $z\omega$ 、Q(— $z\omega$)から構成される。各N型トランジスタは、行アドレス配線 a 、(— a)… m 、(— m)… z 、(— z)のいずれかにゲートが接続され、列アドレス配線 α 、(— α)… λ 、(— λ)… ω 、(— ω)に入力端が接続されている。各N型トランジスタは、所定の信号が入力される行アドレス線と、その反転信号が入力される行アドレスに接続される2個ずつがその出力端が接続されたペアとなっている。例えば、N型トランジスタQ $a\alpha$ とQ(— $a\alpha$)の出力端は接続され、N型トランジスタQ $m\lambda$ とQ(— $m\lambda$)の出力端は接続され、N型トランジスタQ $z\omega$ とQ(— $z\omega$)は接続されている。

【0126】N型インバータ回路210は、このようなN型バスロジックネットワークの出力端(SI)、(—SI)に接続される。

【0127】図12(a)および(b)は、図11の回路のシミュレーション結果を示す図である。図12(a)は、図11におけるバスロジック回路200の出力端(SI)、(—SI)の波形を示し、図12(b)は、N型インバータ回路210の出力端(SO)、(—SO)の波形を示す。図12(a)に示される如く、N型バスロジック回路200から出力される波形は、高電位Vddが5Vから低下している。これは、N型バスロジック回路200のネットワーク回路を構成する各N型トランジスタの出力端が相互に接続されているために生じる電位低下であり、N型トランジスタのしきい値に対応する低下である。しかし、N型インバータ回路210の出力波形では、高電位Vddが5Vに回復している。このように、N型インバータ回路210は、高電位Vddの低減を防止する効果があることを確認することができる。

【0128】上記した図10のN型トランジスタからなるインバータ回路210の構成は、種々のバリエーションが考えられ、これを図13乃至図16に示す。

【0129】図13乃至図16は、図10のインバータ回路210を変形した回路構成例を示す図である。図10と同様にN型トランジスタQ11乃至Q16と、コンデンサC1、C2を使っているが、各N型トランジスタの入力端、あるいはゲートの接続関係を変えたものである。

【0130】すなわち、図10のインバータ回路210のトランジスタQ12がオン動作してハイレベルを出力するのは、入力信号(IN)がハイレベルの時である。このため、電源に接続されているトランジスタQ12の入力端は、常にハイレベルである必要はなく、入力信号(IN)がハイレベルの時だけ、ハイであればよいことになる。

【0131】したがって、図13に示すように、トランジスタQ12の入力端を電源ではなく、トランジスタQ12がオン動作する際に、ハイレベルとなる入力端部

23

(IN)に接続しても支障がなく、全く同じ動作が行われる。

【0132】また、図13のトランジスタQ15に関しては、上記と同様の理由により、電源に接続されていた入力端を、トランジスタQ15がオン動作する際にハイレベルとなる反転入力端部(¬IN)に接続することにより、電源への接続箇所が少なくて、配線が簡素化され、消費電力を減少することができる。

【0133】これと同様に、図10のインバータ回路210のトランジスタQ13がオン動作してローレベルを出力するのは、反転入力信号(¬IN)がハイレベルの時である。このため、トランジスタQ13がグラウンドに接地されている入力端の電極は、常にローレベルである必要はなく、反転入力信号(¬IN)がハイレベルの時だけ、ハイが入力されればよいことになる。

【0134】したがって、図14に示すように、トランジスタQ13の入力端をグラウンドではなく、トランジスタQ13がオン動作する際に、ローレベルとなる入力端部(IN)に接続しても支障がなく、全く同じ動作が行われる。

【0135】また、図14のトランジスタQ16に関しては、上記と同様の理由により、グラウンドに接続されていた入力端を、トランジスタQ16がオン動作する際にローレベルとなる反転入力端部(¬IN)に接続することで、グラウンドとの接地箇所が少なくて、配線が簡素化され、消費電力を減少させることができる。

【0136】次に、図15に示すように、トランジスタQ12、Q13、Q15、Q16のそれぞれの入力端を上記と同様の理由により、入力端部(IN)や反転入力端部(¬IN)に接続しても支障がなく、図10と同じ動作を行うことができる。

【0137】さらに、図10に示したインバータ回路210では、トランジスタQ12とQ15のゲート電圧を補償してハイレベルの信号を確実に出力させるブーストトラップ用のトランジスタQ11、Q14のゲート電極が電源に接続されているが、このトランジスタQ11、Q14も常にオン状態である必要はなく、トランジスタQ12あるいはQ15がオン動作するときに、N型トランジスタQ11あるいはQ14のゲート電極にハイレベルを入力してオンさせればよい。

【0138】したがって、図16に示すように、トランジスタQ11あるいはQ14のゲート電極を電源に接続するのではなく、トランジスタQ12がオン動作する際にハイレベルとなる入力端部(IN)にトランジスタQ11のゲート電極を接続し、また、トランジスタQ15がオン動作する際にハイレベルとなる反転入力端部(¬IN)にトランジスタQ14のゲート電極を接続しても支障がなく、全く同じ動作を行うことができる。

【0139】このように、N型トランジスタで構成されたインバータ回路210の場合も、図13乃至図16に

24

示すように構成することにより、さらにトランジスタのグラウンドや電源への接続箇所を少なくできるので、配線が簡素化され、消費電力を減少させることができる。

【0140】(ラッチ回路)図17は、上記図1に示すインバータ基本回路を組み合わせてデータを一時的に保持するラッチ回路51の構成図である。

【0141】まず、構成を説明する。

【0142】図17に示すラッチ回路51は、2つのインバータ基本回路52、53を使って構成したインバタ回路と入力端部(I)および反転入力端部(¬I)との間に、スイッチング素子であるP型トランジスタQ21およびQ22を設け、このP型トランジスタQ21およびQ22のゲートには、スイッチングを行うための反転クロック信号(¬clk)が反転制御信号入力端部(¬L)から入力される。

【0143】また、インバータ基本回路52の出力端部(¬O)からの出力(OUT)は、フィードバックループによって上記したP型トランジスタQ22のドレン側に、スイッチング素子であるP型トランジスタQ24を介して接続されている。

【0144】また、インバータ基本回路53の出力端部(O)からの出力(OUT)は、フィードバックループによって上記したP型トランジスタQ21のドレン側に、スイッチング素子であるP型トランジスタQ23を介して接続されている。

【0145】上記したP型トランジスタQ23とQ24のゲートには、スイッチングを制御するためのクロック信号(clk)が制御信号入力端部(L)から入力されるように構成されている。

【0146】このように、図17に示すラッチ回路51は、図2に示すインバータ回路に4個のP型トランジスタQ21乃至Q24を新たに付加したものである。そして、P型トランジスタQ21乃至Q24は、外部からの反転制御信号入力端部(¬L)および制御信号入力端部(L)からの制御信号によって、ラッチ回路51をスルーワー動作させるかラッチ動作させるかを切換えるものである。

【0147】図18は、図17に示すラッチ回路51のシンボルを示す図であって、入力端部(I)に入力信号(IN)が、反転入力端部(¬I)に反転入力信号(¬IN)が入力されると、制御信号入力端部(L)に入力されるクロック信号(clk)と反転制御信号入力端部(¬L)に入力される反転クロック信号(¬clk)により、選択されるスルーワー動作とラッチ動作に応じた出力信号(OUT)と反転出力信号(¬OUT)とが出力端部(O)と反転出力端部(¬O)から出力される。

【0148】次に、動作を説明する。

【0149】図19は、ラッチ回路51を動作させた時の入出力信号のシミュレーション結果を示す図である。同図(a)は、制御信号入力端部(L)と反転制御信号

50

入力端部 ($\neg L$) とに入力されるクロック信号 (c_{1k}) と反転クロック信号 ($\neg c_{1k}$) を示す図で、同図 (b) は、入力端部 (I) と反転入力端部 ($\neg I$) とに入力される入力信号 (IN) と反転入力信号 ($\neg IN$) を示す図で、同図 (c) は、出力端部 (O) と反転出力端部 ($\neg O$) から出力される出力信号 (OUT) と反転出力信号 ($\neg OUT$) を示す図である。

【0150】本実施形態のラッチ回路51は、制御信号入力端部 (L) に入力されるクロック信号 (c_{1k}) がハイ「1」で、反転制御信号入力端部 ($\neg L$) の反転クロック信号 ($\neg c_{1k}$) がロー「0」の場合は、スルー状態となり、逆に、制御信号入力端部 (L) に入力されるクロック信号 (c_{1k}) がロー「0」で、反転制御信号入力端部 ($\neg L$) の反転クロック信号 ($\neg c_{1k}$) がハイ「1」の場合は、ラッチ状態となる。

【0151】上記したスルー状態とは、入力端部 (I) からの入力信号 (IN) がそのまま出力端部 (O) の出力信号 (OUT) として出力され、反転入力端部 ($\neg I$) からの反転入力信号 ($\neg IN$) がそのまま反転出力端部 ($\neg O$) の反転出力信号 ($\neg OUT$) として出力される状態をいう。

【0152】また、上記したラッチ状態とは、ラッチ前の出力状態を保持することをいう。

【0153】具体的には、図19(a) に示すように、クロック信号 (c_{1k}) がハイ「1」で、反転クロック信号 ($\neg c_{1k}$) がロー「0」の場合は、スルー状態となり、図17のP型トランジスタQ23とQ24はオフし、P型トランジスタQ21とQ22はオンとなる。

【0154】このため、図19(b) に示すように、入力信号 (IN) が「0」で、反転入力信号 ($\neg IN$) が「1」になると、P型トランジスタQ27とQ29がオフし、P型トランジスタQ26とQ30がオンするため、そのまま出力されるスルー状態となり、出力信号 (OUT) に「0」が、反転出力信号 ($\neg OUT$) に「1」が出力される。

【0155】次に、クロック信号 (c_{1k}) がロー「0」で、反転クロック信号 ($\neg c_{1k}$) がハイ「1」の場合は、ラッチ状態となり、図17のP型トランジスタQ23とQ24はオンし、P型トランジスタQ21とQ22はオフする。

【0156】このため、入力端部 (I) と反転入力端部 ($\neg I$) の入力信号に関わりなく、図19(b) に示す従前のスルー状態の出力信号 (OUT) の「0」がP型トランジスタQ23を介して、P型トランジスタQ26とQ30とをオンし、反転出力信号 ($\neg OUT$) の「1」がP型トランジスタQ24を介して、P型トランジスタQ27とQ29とをオフするため、図19(c) に示すように、従前の出力状態が保持され、出力信号 (IN) が「0」で反転入力信号 ($\neg IN$) の「1」がそのまま出力される。

【0157】このように、図17に示すラッチ回路は、4個のP型トランジスタQ21乃至Q24のゲートを外部からの制御信号に従って、スルー動作とラッチ動作の切換えを行っている。この回路は、正論理と負論理の2つの入出力を持っているため、2個のインバータ基本回路52、53からなるインバータ回路(図2参照)を1つ使うだけでラッチ機能を実現することができる。

【0158】また、上記実施形態のラッチ回路は、図1のインバータ基本回路を使って構成しているため、出力レベルの損失が無くなるとともに、直流的なリーク電流が無くなり、消費電力を低減化することができる。

【0159】なお、上記ラッチ回路51では、P型トランジスタで回路を構成したが、これに限定されるものではなく、P型トランジスタに代わってN型トランジスタにより回路構成することもできる。

【0160】図20は、P型トランジスタを使った図17のラッチ回路51のインバータ回路を図記号に置換した回路図である。

【0161】図20に示すラッチ回路51は、インバータ回路21の入出力端部にそれぞれP型トランジスタQ21乃至Q24を配して、クロックLと反転クロック $\neg L$ とによってゲートを制御するものである。

【0162】ここでは、図17に示すラッチ回路51以外の回路構成からなるバリエーションとして、図20のインバータ回路21を上記の図6乃至図9までのインバータ回路をそれぞれ用いて構成するようにしてもよい。

【0163】上記構成を採用した場合は、インバータ回路21の各P型トランジスタに対する電源やグラウンドとの接続箇所が少なくなって、回路の配線が簡素化されるとともに、消費電力を減少させることができる。

【0164】また、図21は、N型トランジスタを使ってラッチ回路61を構成してインバータ回路を図記号に置換した回路図である。

【0165】図21に示すラッチ回路61は、図10に示すインバータ回路210の入出力端部にそれぞれN型トランジスタQ21乃至Q24を配して、クロックLと反転クロック $\neg L$ とによってゲートを制御するものである。

【0166】ここでは、N型トランジスタを用いたラッ40チ回路61の回路構成のバリエーションとして、図21のインバータ回路210の部分に上記の図13乃至図16までのインバータ回路をそれぞれ用いて構成するようにもよい。

【0167】上記の構成からなるインバータ回路を採用したラッチ回路61は、インバータ回路210の各N型トランジスタに対する電源やグラウンドとの接続箇所が少なくなって、回路の配線が簡素化されるとともに、消費電力を減少させることができるようになった。

【0168】(アンド回路) 図22は、上記図1のインバータ基本回路とP型トランジスタとを組み合わせて論

理積とその否定を生成するアンド回路の構成図である。

【0169】まず、構成を説明する。

【0170】図22のAND/NAND回路62は、論理回路55とインバータ基本回路52および53から構成される。

【0171】論理回路55は、4個のP型トランジスタQ31乃至Q34を用いて入力に対する論理積とその否定を生成するものである。すなわち、入力がa、b2つの場合は、その否定である反転a(¬a)と反転b(¬b)も入力する。そして、aの入力端部とグラウンドとの間には、P型トランジスタのQ21とQ22を直列に接続し、また、反転aの入力端部と電源(Vdd)との間には、P型トランジスタのQ33とQ34を直列に接続している。

【0172】上記のP型トランジスタQ32とQ34のゲートには、bが入力されてスイッチングが行われ、P型トランジスタQ31とQ33のゲートには、反転bが入力されてスイッチングが行われる。そして、上記スイッチングの結果に応じて、P型トランジスタQ31とQ32の間、およびP型トランジスタQ33とQ34の間からハイレベル「1」又はローレベル「0」の信号が出力される。

【0173】ただし、上記のP型トランジスタQ31乃至Q34だけでは、ローレベルの出力がトランジスタのしきい値電圧分だけ損失が発生する。このため、本実施形態のアンド回路61では、インバータ基本回路52、53で構成された図2と同様のインバータ回路を付加することにより、出力レベルの補正を行っている。すなわち、このインバータ基本回路52および53は、図17に図示したインバータ基本回路52および53と同じ構成であり、出力される低電位をグラウンド電位V_{GND}と等電位になるまで低下させる働きをしている。

【0174】次に、動作を説明する。

【0175】入力されるaが「0」(反転aは「1」)で、bが「0」(反転bは「1」)の場合は、図22に示すように、P型トランジスタのQ31とQ33がオフし、Q32とQ34がオンするため、インバータ回路側のP型トランジスタQ26とQ30はオフするが、P型トランジスタQ27とQ29がオンして、アンド出力が「0」、 NAND出力が「1」となる。

【0176】上記と同様に、入力されるaが「0」(反転aは「1」)で、bが「1」(反転bは「0」)の場合は、アンド出力が「0」、 NAND出力が「1」となる。

【0177】また、入力されるaが「1」(反転aは「0」)で、bが「0」(反転bは「1」)の場合は、アンド出力が「0」、 NAND出力が「1」となる。

【0178】さらに、入力されるaが「1」(反転aは「0」)で、bが「1」(反転bは「0」)の場合は、アンド出力が「1」、 NAND出力が「0」となる。

【0179】図23は、図22のアンド回路61のシンボルを示す図であり、図24は、図23のアンド回路61における各入力パターンに対するアンド出力と NAND出力のシミュレーション結果を示した図である。

【0180】図24に示すように、アンド回路は、入力されるa、反転a、b、反転bの各入力の組み合わせに応じて、所定の論理積(AND)とその否定(NAND)とが outputされる。そして、アンド出力や NAND出力でローレベルを出力する場合は、本実施形態のようにインバータ基本回路52、53を組み合わせることによって出力レベルが補正されるので、図24(c)に示すように、確実にグラウンド電位(V_{GND})と等価な電位を出力することができる。

【0181】また、上記実施形態のアンド回路61は、図1に示すインバータ基本回路を採用しているため、直流的なりーク電流が無くなり、消費電力を低減化することができる。

【0182】なお、上記アンド回路61では、P型トランジスタを使って回路を構成しているが、このP型トランジスタの代わりにN型トランジスタを使って構成してもよい。

【0183】図25は、図22に示すP型トランジスタからなるアンド回路の変形例を示す回路図である。

【0184】図22に示したアンド回路61は、インバータ基本回路52、53と、その前段にP型トランジスタQ31乃至Q34からなる論理回路55とで構成されている。図25のアンド回路310は、図22のアンド回路62のインバータ基本回路52、53からなるインバタ回路の部分は同じであるが、その前段の論理回路の接続関係が異なっている。

【0185】すなわち、図22に示すトランジスタQ31とQ32は、入力端部aとグラウンドとの間にソースとドレインが直列に接続され、トランジスタQ31とQ32のゲート電極に反転入力信号¬bと入力信号bとが印加されることにより、出力信号aかローレベルのグラウンド出力信号がインバタ回路に入力される。また、トランジスタQ33とQ34は、反転入力端部¬aと電源との間にソースとドレインが直列に接続され、トランジスタQ33とQ34のゲート電極に反転入力信号¬bと入力信号bとが印加されることにより、反転入力信号¬aかハイレベルの電源入力信号がインバタ回路に入力される。

【0186】ところが、図25に示した論理回路のトランジスタQ32の入力端は、常にローレベルである必要はなく、トランジスタQ32がオン動作する場合にのみローレベルが入力されるものであればよい。したがって、図25に示すように、トランジスタQ32の入力端をグラウンドではなく、「トランジスタQ32がオン動作する際にローレベルとなる入力端部bに接続しても支障がない」、図22と全く同じ動作を行うことができる。

【0187】また、図22の論理回路のトランジスタQ34の入力端は、常にハイレベルである必要はなく、トランジスタQ34がオン動作する場合にのみハイレベルが入力されるものであればよい。したがって、図25に示すように、トランジスタQ34の入力端を電源ではなく、トランジスタQ34がオン動作する際にハイレベルとなる反転入力端子 \bar{b} に接続しても支障がなく、図22と全く同じ動作を行うことができる。

【0188】図26のアンド回路320は、図22に示すP型トランジスタからなるアンド回路の別の変形例を示す回路図である。

【0189】図26を図25との間で比較した場合、インバータ回路の前段部分の論理回路の構成は、図25と同様であるが、図26の回路構成は、インバータ回路のP型トランジスタQ26の入力端に接続されていた電源に代えて、トランジスタQ26がオン動作する際にハイレベルとなる論理回路からの入力端部に接続すればよい。また、インバータ回路のP型トランジスタQ29の入力端に接続されていた電源に代えて、トランジスタQ29がオン動作する際にハイレベルとなる論理回路からの入力端部に接続すればよい。

【0190】図27は、N型トランジスタで構成されたアンド回路330の回路図である。

【0191】図27のアンド回路330は、インバータ基本回路220、230からなるN型インバータ回路と、その前段のトランジスタQ31乃至Q34からなる論理回路とで構成されている。

【0192】インバータ基本回路220のトランジスタQ13の入力端は、通常ローレベルが入力されるようグラウンドに接地されているが、上記と同様の理由により、トランジスタQ13がオン動作するときのみローレベルとなる論理回路からの入力端部に接続しても、動作に変わりは無い。

【0193】また、図27のアンド回路330の論理回路では、上記のP型トランジスタで構成された図22に示す論理回路において、トランジスタQ32の入力端がグラウンドに接地されている代わりに、トランジスタQ32がオン動作する場合にローレベルが入力されるよう、入力端子 b に接続し、トランジスタQ34の入力端が電源に接続されている代わりに、トランジスタQ34がオン動作する場合にハイレベルが入力されるよう反転入力端子 \bar{b} に接続されている。

【0194】(オア回路)図28は、P型トランジスタのみから構成される論理和とその否定論理を出力するOR/NOR回路を示し、図29は、OR/NOR回路のシンボルを示す図である。

【0195】OR/NOR回路64は、論理回路56、インバータ基本回路52および53から構成されるが、インバータ基本回路52および53の回路構成は、図17のラッチ回路51のインバータ基本回路52および5

3、および図22のAND/NAND回路61のインバータ基本回路52および53と同じである。論理回路56は、4個のトランジスタQ41乃至Q44により信号a、 \bar{a} 、 b 、 \bar{b} の論理和信号およびその反転信号を出力するよう回路構成されている。この論理回路56のP型トランジスタQ43およびQ44の出力端がインバータ基本回路52のP型トランジスタQ25のソースとインバータ基本回路53のP型トランジスタQ29のゲートに接続されており、また、論理回路56のP型トランジスタQ41およびQ42の出力端がインバータ基本回路52のP型トランジスタQ26のゲートおよびインバータ基本回路53のP型トランジスタQ28のソースに接続されている。

【0196】このようなOR/NOR回路64から出力される出力波形は、低電位側をグラウンド電位とほぼ同じ電位とすることができます。OR/NOR回路64を構成するインバータ基本回路52および53は、この場合にも、図6乃至図9のように変形することができます。

【0197】(イクスクルーシブオア回路)図30は、P型トランジスタのみから構成される排他的論理和とその否定論理を出力するEXOR/EXNOR回路を示し、図31は、EXOR/EXNOR回路のシンボルを示す図である。

【0198】図30に示すEXOR/EXNOR回路65は、図22および図28に図示されたインバータ基本回路52および53を有する。このEXOR/EXNO R回路65が前述のAND/NAND回路61およびOR/NOR回路64と相違する点は、論理回路57についてのみである。論理回路57は、4個のP型トランジスタQ45乃至Q48を有しており、これら各P型トランジスタQ45乃至Q48は、ゲートに入力される信号aまたはその反転信号 \bar{a} に制御される。いずれのP型トランジスタQ45乃至Q48も、そのソースには、信号bまたは \bar{b} が入力されるが、ゲートに信号aが入力され、ソースに信号bが入力されるトランジスタQ48のドレイン、およびゲートに反転信号 \bar{a} が入力され、ソースに反転信号 \bar{b} が入力されるトランジスタQ45のドレインがインバータ基本回路52におけるトランジスタ25のソースとインバータ基本回路53におけるQ29のゲートに接続され、ゲートに信号aが入力され、ソースに反転信号 \bar{b} が入力されるトランジスタQ47のドレイン、およびゲートに反転信号 \bar{a} が入力され、ソースに信号bが入力されるトランジスタQ46のドレインがインバータ基本回路52におけるトランジスタQ26のソースとインバータ基本回路53におけるトランジスタQ28のゲートに接続されて構成されている。

【0199】このようなEXOR/EXNOR回路65から出力される出力波形は、低電位側をグラウンド電位V_{GND}とほぼ同じ電位とすることができます。EXOR/EXNOR回路65を構成するインバータ基本回路52

31

および53は、この場合にも、図6乃至図9のように変形することができる。

【0200】(トライステート回路)図32は、交流化電圧を生成するトライステート回路71の一構成例を示す図である。このトライステート回路71は、例えば、液晶駆動装置などで液晶を駆動する際に、直流電圧を印加したのでは液晶が劣化することから、交流化された駆動電圧を生成する場合などに用いられる。

【0201】まず、構成を説明する。

【0202】図32に示すように、8個のP型トランジスタQ51乃至Q58は、a、反転a($\neg a$)、b、反転b($\neg b$)の4つの入力信号に基づいて、所定の論理を生成する論理部を構成している。このトライステート回路71は、a、bそれぞれに正論理・負論理を入力することにより、3種類の電源電圧VH、VC、VLを切換えて生成される交流化電圧が输出cから出力される(但し、 $VH > VC > VL$)。ここでは、上記実施形態のアンド回路と同様にバス・トランジスタ・ロジックの手法を用いている。

【0203】そして、例えば、このトライステート回路を液晶駆動装置に用いる場合は、上記入力信号のaが書き込みデータの有り／無し、すなわち、液晶を駆動するか／しないかを表し、bが液晶駆動電圧の正／負を表すように用いることができる。

【0204】次に、6個のP型トランジスタQ59乃至Q64とコンデンサC31およびC32は、図1に示す2個のインバータ基本回路72、73を構成しており、実際に駆動電圧を出力するP型トランジスタQ65、Q66を充分に駆動して適正な出力電圧を得るために、P型トランジスタQ51乃至Q58で構成された論理部の出力を補正する働きをしている。

【0205】また、P型トランジスタQ65、Q66、Q67は、電源電圧VH、VL、VCを切換えるスイッチングトランジスタである。

【0206】図33は、図32のトライステート回路71のシンボルを示す図であり、図34は、図33のトライステート回路71へ入力されるa、bの2つの入力信号とこれに基づいて生成される交流化された出力信号cのシミュレーション結果を示す図である。

【0207】次に、動作について説明する。

【0208】図32に示すトライステート回路71は、aとbのそれぞれに正論理・負論理のいずれかを入力することにより、cからVH、VC、VLのいずれかが出力される。実際には、図34の(a)、(b)に示すように、入力a、bが変化することによって、同図(c)に示すような交流化信号を生成するものである。

【0209】まず、入力信号のaとbが「0」の場合は、P型トランジスタQ65、Q66がオフとなり、P型トランジスタQ67がオンするため、cからVcが出力される。また、入力信号のaが「0」で、bが「1」

32

の場合も上記と同様にcからVcが出力される。これは、aが「0」の場合は、論理部のP型トランジスタQ51、Q53、Q55、Q57がオフとなるため、bの入力信号に影響されることなくP型トランジスタQ67をオンして、cからVcが出力されることによる。

【0210】また、入力信号のaが「1」の場合は、スイッチングトランジスタのQ67がオフし、論理部のP型トランジスタQ52、Q54、Q56、Q58がオフするとともに、逆に、P型トランジスタQ51、Q53、Q55、Q57がオンする。このため、bの入力信号に基づいてcからの出力電圧が変化する。

【0211】そこで、bが「0」の場合は、Q61とQ63がオンとなり、ゲートにグラウンド電位VGNDが供給されてP型トランジスタQ68がオンしQ65がオフするため、cからVLが出力される。

【0212】また、bが「1」の場合は、Q60とQ64がオンとなり、ゲートにグラウンド電位VGNDが供給されてP型トランジスタQ65がオンしQ66がオフするため、cからVHが出力される。

【0213】このように、本実施形態のトライステート回路71は、P型トランジスタとコンデンサだけで構成できることから、構造が簡単となり、少ない工程数で製造できるため、低コスト化が図れる。

【0214】また、上記実施形態のトライステート回路71は、図1と同じインバータ基本回路72、73を用いて、P型トランジスタQ51乃至Q58で構成された論理部の出力を補正するようにしたため、図34(c)に示すように、出力電圧c、特に、ローレベルの出力電圧であるVLが充分下がりきらないという問題が解決され、常に所定の電圧まで確実に下がった状態の電圧レベルを出力することができるようになった。

【0215】次に、図35は、図32のトライステート回路を変形した他の実施形態に係る構成図であり、図32と同一部または相当部には同じ符号が付してある。

【0216】そこで、例えば液晶駆動回路のトライステート回路を構成する場合は、出力電源のVHとVLとの電圧関係が $VH > VL$ であると、ハイ(VH)側のスイッチングトランジスタであるQ65が充分にオン状態にならなくても、液晶駆動の実用上ではそれ程差し支えないが、むしろQ66が充分にオン状態とならずにロー(VL)側の出力電圧レベルが下がりきらないことの方が問題となる。このような状況下では、ハイ側(VH)のスイッチングトランジスタのQ65のゲートに印加される電圧レベルを補正するために設けた図32に示すインバータ基本回路72を省略することが考えられる。図35は、上記の考えに基づいて構成したトライステート回路81である。

【0217】図35のトライステート回路は、上記のように使用目的に応じて構成したため、図32のトライステート回路71と比べて、実用上の特性に影響を与える

ことなく、さらに5個のP型トランジスタQ53、Q54、Q59、Q60、Q61と、1個のコンデンサC31とを省略することが可能となり、回路構成が簡略化されて、低コスト化することができる。

【0218】なお、上記トライステート回路71、81では、P型トランジスタを使って回路構成しているが、このP型トランジスタの代わりにN型トランジスタを使って構成してもよい。

【0219】(液晶駆動回路) 図36は、本実施形態に係る駆動回路一体型TFT-LCD91の概略構成図である。この駆動回路一体型TFT-LCD91は、LCD(Liquid Crystal Display)の表示領域において、ガラス基板上の各画素毎にスイッチング素子となるTFT(Thin Film Transistor)を形成するとともに、ドレインドライバ(データ線駆動回路)やゲートドライバ(走査線駆動回路)からなる液晶駆動回路もガラス基板上に一体形成したものである。

【0220】まず、構成を説明する。

【0221】図36に示すように、駆動回路一体型TFT-LCD91は、ガラス基板92上の表示領域内の各画素毎にTFTを形成する液晶表示パネル(TFT-LCD)93と、その液晶表示パネル93の各TFTのゲートに走査信号を印加して選択状態と非選択状態を作り出すゲートドライバ94と、そのゲートドライバ94によって選択状態にしたTFTに表示信号を印加して各画素毎の液晶を駆動するドレインドライバ95とで構成されている。

【0222】上記した液晶表示パネル93、ゲートドライバ94およびドレインドライバ95は、ガラス基板92上に一体形成されている。

【0223】図37は、図36に示すドレインドライバ95をインバータ基本回路とP型トランジスタからなるラッチ回路、アンド回路、およびトライステート回路とで構成した部分回路図であり、図38は、図37各部の信号波形を示すタイミングチャートである。

【0224】図37に示すドレインドライバ95は、ラッチ回路101、102、103……、アンド回路111、112……、ラッチ回路121、122……、ラッチ回路131、132、……、トライステート回路141、142……などで構成されている。

【0225】ラッチ回路101、102、103は、図示しないコントローラから入力される水平クロック(XSCL)と、反転水平クロック(~XSCL)とが制御信号入力端部(L)と反転制御信号入力端部(~L)とに1つ置きに逆の位相で入力されて、制御信号入力端部(L)に「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0226】ラッチ回路101への入力信号は、水平同期信号XDと水平同期信号~XDが入力され、スルー状態とラッチ状態に応じた出力信号が出力端部(O)と反

転出力端部(~O)から出力され、アンド回路111と次段のラッチ回路102の入力端部に入力される。

【0227】同様に、ラッチ回路102の出力信号は、アンド回路111とアンド回路112および次段のラッチ回路103の入力端部に入力される。

【0228】そして、アンド回路111は、上記ラッチ回路101の出力(OUT)とラッチ回路102の反転出力(~OUT)とを入力して、論理積とその否定とをラッチ回路121の制御信号入力端部(L)と反転制御信号入力端部(~L)とに入力する。アンド回路112も同様に、ラッチ回路102の反転出力(~OUT)とラッチ回路103の出力(OUT)とが入力されて、論理積とその否定とがラッチ回路122の制御信号入力端部(L)と反転制御信号入力端部(~L)に入力される。

【0229】ラッチ回路121とラッチ回路122は、上記したアンド回路111と112からの出力信号のタイミングに応じて、図示しないデータ変換回路から入力される各画素毎のデータをラッチし、そのラッチしたデータをそれぞれ次段のラッチ回路131と132に出力する。

【0230】ラッチ回路131と132は、クロックOPのタイミングで入力された各画素毎のデータをラッチして、その出力をそれぞれのトライステート回路141と142に出力する。

【0231】トライステート回路141と142は、上記したラッチ回路131と132からの入力信号と、交流化信号WFとの組み合わせによって、VH、VC、VLからなる3種類の電源電圧を選択することにより、交流化された表示信号が生成される。トライステート回路141から出力される交流化された表示信号は、ドレンラインのD1に出力され、トライステート回路142から出力される交流化された表示信号は、ドレンラインのD2に出力される。

【0232】なお、図37は、2ライン分のドレンラインに供給するドレインドライバ95の一部の構成を説明したにすぎず、実際には上記各回路が水平走査方向に画素数に応じて連なって配置されている。これにより、各ドレンラインには、その位置に応じた表示信号を供給することができる。

【0233】上記したように、ラッチ回路、アンド回路およびトライステート回路で構成されたドレインドライバ95は、インバータ基本回路とP型トランジスタだけで構成することができるため、相補型トランジスタで構成した場合と比べると、トランジスタ構造が簡単で、製造工程数が少なくなる上、画素のTFTトランジスタにP型トランジスタを採用するならば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを同時に作成することができ、低コスト化が図れるという利点がある。

【0234】また、本実施形態のドレインドライバ95は、相補型の場合と同様に直流のリーク電流が少なく、低消費電力性を有し、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0235】図39は、図36のゲートドライバ94の詳細ブロック図である。ゲートドライバ94は、ラッチ回路151、152…、NOR回路161、162…、インバータ回路171、172…、インバータ回路181、182…、インバータ回路191、192…から構成される。

【0236】図示しないコントローラからの垂直クロックY SCLは、縦列接続された各ラッチ回路151、152…の制御端子Jおよび反転制御端子Jに交互に入力され、図示しないコントローラからの反転垂直クロック-Y SCLは、縦列接続された各ラッチ回路151、152…の反転制御端子Jおよび制御端子Jに交互に、換言すれば、垂直クロックY SCLが接続されていない方の制御端子Jまたは反転制御端子Jに接続される。各ラッチ回路151、152…では、制御端子Jに「1」が入力されると入力信号をスルーで出力し、「0」が入力されると前回の入力信号をラッチする。

【0237】各ラッチ回路151の入力端子Iには、垂直同期信号YDが供給され、この垂直同期信号YDは垂直クロックY SCLおよび反転垂直クロック-Y SCLに同期して各ラッチ回路151、152…の出力端子Oから次段のラッチ回路152、153…に順次出力されるとともに、反転出力端子Oから対応する各NOR回路161、162…の一方の入力端子、および前段のNOR回路161、162…の他方の入力端子に出力される。そして、各NOR回路161、162…からは対応するインバータ回路171、172…に outputされ、さらに対応するインバータ回路181、182…およびインバータ回路191、192を通過して電流を増大した上、各ゲート線にゲート信号G1、G2…に出力される。

【0238】図40は、上記垂直クロックY SCL、反転垂直クロック-Y SCL、垂直同期信号YDおよびゲート信号G1、G2…のタイミングを示す図である。

【0239】上記したように、ラッチ回路、NOR回路およびインバータ回路で構成されたゲートドライバ94は、ドレインドライバ95の場合と同様に、本発明のインバータ基本回路を用いることによりP型トランジスタだけで構成することができるため、相補型トランジスタで構成した場合と比べると、トランジスタ構造が簡単になり、製造工程数を少なくすることができます。特に、画素のTFTトランジスタにP型トランジスタを採用すれば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを作成することができるため、低コスト化が図れる。

【0240】また、本実施形態のゲートドライバ94

は、相補型と同様の低消費電力性と、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0241】

【発明の効果】請求項1記載の半導体装置によれば、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、適正な高電位あるいは低電位の出力信号が outputされるため、この半導体装置を使って回路を構成しても誤動作を防止することができる。また、第1のトランジスタと第2のトランジスタは、一導電型で構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化が達成できる。さらに、第1のトランジスタと第2のトランジスタは、非反転信号供給手段と反転信号供給手段によって交互にスイッチングさせるため、リーク電流が小さくなる。

【0242】請求項2記載の半導体装置によれば、一導電型からなる第1または第2のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第3のトランジスタと容量手段とにより、適正な出力電位を補償する。

【0243】請求項3乃至請求項6に記載の半導体装置によれば、第1、第2および第3のトランジスタがP型である場合に、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを反転信号供給手段に接続するようにしたので、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0244】請求項7乃至請求項10に記載の半導体装置によれば、第1、第2および第3のトランジスタがN型である場合、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを非反転信号供給手段に接続するようにしたので、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記非反転信号供給手段に接続することによって、配線を簡素化することができるとともに、消費電力を低減することができる。

【0245】請求項11記載の半導体装置によれば、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号を出力することができるでの、この半導体装置を使って回路を構成しても誤動作を防止することができる。また、第1乃至第4のトランジスタは、同一導電型で構成されているので、製造工程数が少なくなるとともに、高集積化が可能となり、低コス

37

ト化と高密度化が達成できる。さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせて、リーク電流が小さくなる。

【0246】請求項12記載の半導体装置によれば、一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第5および第6のトランジスタと第1および第2の容量手段とにより、適正な出力電位を補償することができる。

【0247】請求項13乃至請求項17に記載の半導体装置によれば、第1乃至第6のトランジスタがP型である場合、第1および第2のトランジスタの入力端を反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を非反転信号供給手段に接続するようにして、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0248】請求項18記載の半導体装置によれば、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号を出力することができるので、この半導体装置を使って回路を構成しても誤動作を防止することができる。また、第1乃至第4のトランジスタは、同一導電型で構成されているので、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化を達成することができる。さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせて、リーク電流を小さくすることができる。

【0249】請求項19記載の半導体装置によれば、同一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるので、第5および第6のトランジスタと第1および第2の容量手段とにより、適正な出力電位を補償する。

【0250】請求項20乃至請求項24に記載の半導体装置によれば、第1乃至第6のトランジスタがN型である場合、第1および第2のトランジスタの入力端を非反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を反転信号供給手段に接続するようにして、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができ

38

る。

【0251】請求項25記載の半導体装置によれば、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られるラッチ回路とすることができる。

【0252】請求項26乃至請求項29に記載の半導体装置によれば、請求項11または請求項18記載の半導体装置において、同一導電型の複数のトランジスタにより、AND、NAND、OR、NOR、EXOR、EX NOR等の論理回路を備えるようにしたので、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られる論理回路とすることができる。

【0253】請求項30記載の半導体装置によれば、半導体装置の出力手段や反転出力手段からの出力電位を用いて、さらに、第5のトランジスタをスイッチングさせることにより、例えば、トライステート回路等に適用することができる。

【0254】請求項31記載の表示駆動装置によれば、本発明の半導体装置を含むラッチ回路を使って表示駆動装置を構成したので、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【0255】請求項32記載の表示駆動装置によれば、本発明の半導体装置を含むインバータ回路を使って表示駆動装置を構成したので、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【図面の簡単な説明】

30 【図1】本発明の半導体装置のインバータ基本回路構成を示す図。

【図2】図1のインバータ基本回路を2個組み合わせて正論理・負論理の両方の否定を出力するインバータ回路の構成を示す図。

【図3】図2のインバータ回路のシンボルを示す図。

【図4】図3に示すインバータ回路のシンボルを3個連続して接続した状態を示す図。

【図5】図4の3個のインバータ回路を直列に接続して動作させた時の信号波形のシュミレーションを結果を示す図。

40 【図6】図2のインバータ回路を変形した回路構成例を示す図。

【図7】図2のインバータ回路を変形した回路構成例を示す図。

【図8】図2のインバータ回路を変形した回路構成例を示す図。

【図9】図2のインバータ回路を変形した回路構成例を示す図。

50 【図10】図2に示すP型トランジスタのインバータ回路をN型トランジスタで構成した場合の回路図。

【図11】図2のインバータ回路とバスロジック回路とを接続した回路を示す図。

【図12】図11のインバータ回路の入力信号と出力信号の波形を示す図。

【図13】図10のインバータ回路を変形した回路構成例を示す図。

【図14】図10のインバータ回路を変形した回路構成例を示す図。

【図15】図10のインバータ回路を変形した回路構成例を示す図。

【図16】図10のインバータ回路を変形した回路構成例を示す図。

【図17】図1の基本回路を組み合わせてデータを一時的に保持するラッチ回路の構成図。

【図18】図17に示すラッチ回路のシンボルを示す図。

【図19】ラッチ回路を動作させた時の入出力信号のシミュレーション結果を示す図。

【図20】P型トランジスタを使った図17のラッチ回路のインバータ回路を図記号に置換した回路図。

【図21】N型トランジスタを使ってラッチ回路を構成してインバータ回路を図記号に置換した回路図。

【図22】図1の基本回路とP型トランジスタとを組み合わせて論理積とその否定を生成するアンド回路の構成図。

【図23】図22のアンド回路のシンボルを示す図。

【図24】図23のアンド回路における各入力パターンに対するアンド出力とナンド出力のシミュレーション結果を示す図。

【図25】図22に示すP型トランジスタからなるアンド回路の変形例を示す回路図。

【図26】図22に示すP型トランジスタからなるアンド回路の別の変形例を示す回路図。

【図27】N型トランジスタで構成されたアンド回路の回路図。

【図28】N型トランジスタで構成されたOR・NOR回路の回路図。

【図29】図28のOR・NOR回路のシンボルを示す図。

【図30】N型トランジスタで構成されたEXOR・E XNOR回路の回路図。

【図31】図30のEXOR・EXNOR回路のシンボルを示す図。

【図32】交流化電圧を生成するトライステート回路の一構成例を示す図。

【図33】図32のトライステート回路のシンボルを示す図。

【図34】図33のトライステート回路へ入力されるa、bの2つの入力信号とこれに基づいて生成される交流化電圧出力cのシミュレーション結果を示す図

【図35】図32のトライステート回路を変形した他の実施形態に係る構成図。

【図36】本実施形態に係る駆動回路一体型TFT-LCDの概略構成図。

【図37】図36に示すドレインドライバを基本回路とP型トランジスタからなるラッチ回路と、アンド回路と、トライステート回路とで構成した部分回路図。

【図38】図19各部の信号波形を示すタイミングチャート。

10 【図39】図36に示すゲートドライバを基本回路とP型トランジスタからなるラッチ回路と、アンド回路と、インバータ回路とで構成した部分回路図。

【図40】図38各部の信号波形を示すタイミングチャート。

【図41】相補型インバータ回路の構成を示す図。

【図42】無比率形インバータ回路を示す図。

【図43】図42の回路を組み合わせて構成した無比率形インバータ回路を示す図。

20 【図44】図43の動作時における各部の信号波形を示す図。

【符号の説明】

11	半導体装置
12, 13, 14	P型トランジスタ
15	コンデンサ
21, 31, 41	インバータ回路
22, 23	インバータ基本回路
51	ラッチ回路
52, 53	インバータ基本回路
55, 56, 57	論理回路
61	ラッチ回路
62	アンド回路
64	OR・NOR回路
65	EXOR・EXNOR回路
71, 81	トライステート回路
72, 73	インバータ基本回路
91	駆動回路一体型TFT-L
CD	
92	ガラス基板
93	液晶表示パネル
94	ゲートドライバ
95	ドレインドライバ
101, 102, 103	ラッチ回路
111, 112	アンド回路
121, 122	ラッチ回路
131, 132	ラッチ回路
141, 142	トライステート回路
151, 152, 153	ラッチ回路
161, 162	NOR回路
171, 172	インバータ回路
50 181, 182	インバータ回路

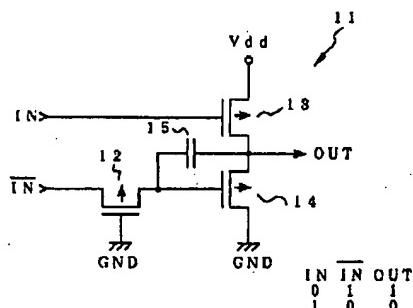
41

191, 192
210インバータ回路
インバータ回路

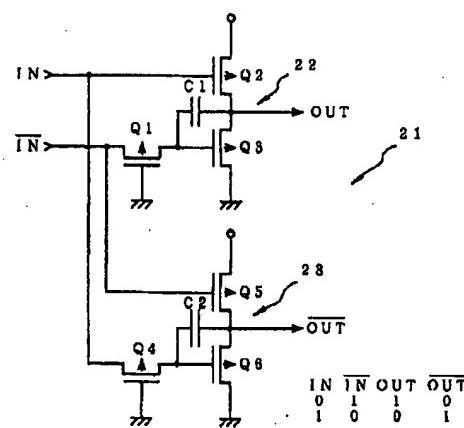
42

* 220, 230
* 310, 320, 330インバータ基本回路
アンド回路

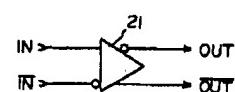
【図1】



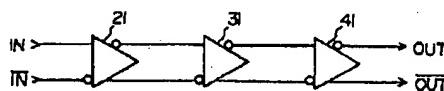
【図2】



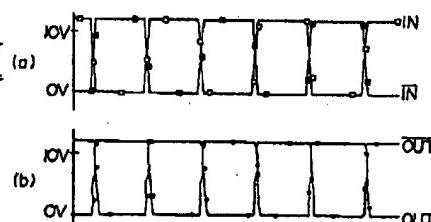
【図3】



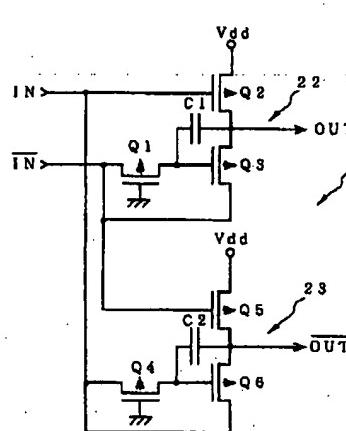
【図4】



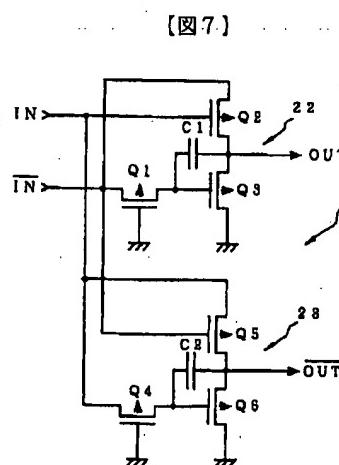
【図5】



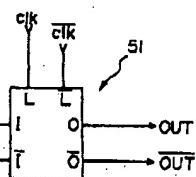
【図6】



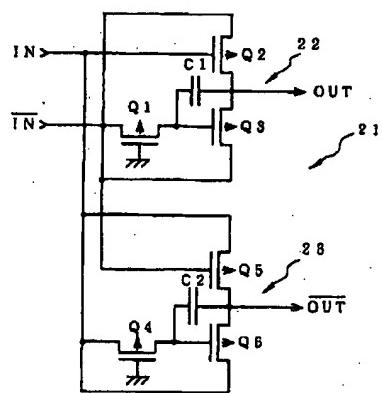
【図7】



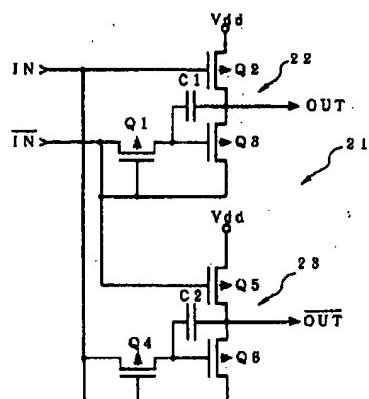
【図18】



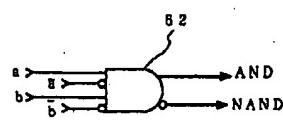
【図8】



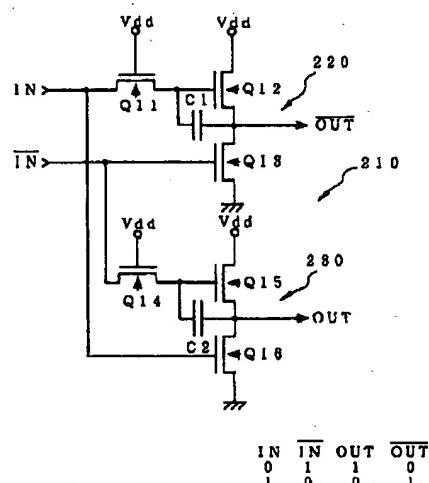
【図9】



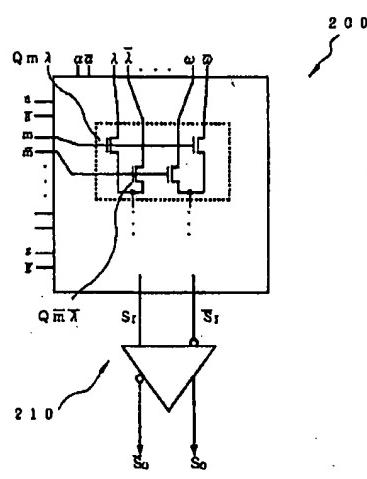
【図23】



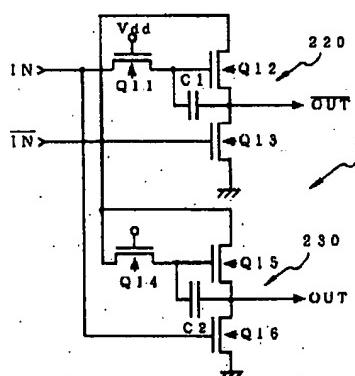
【図10】



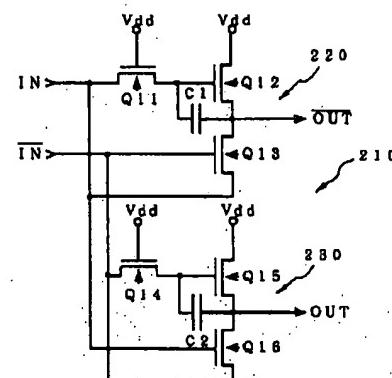
【図11】



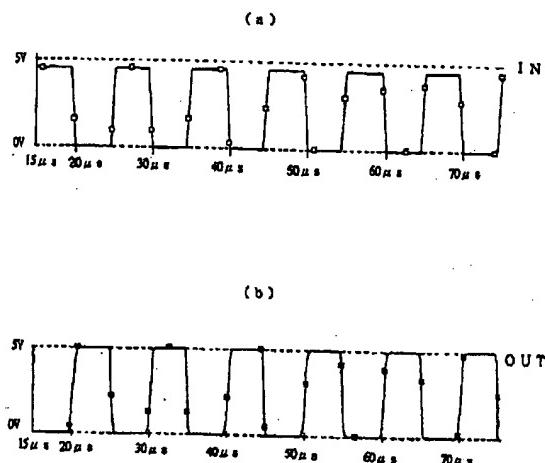
【図13】



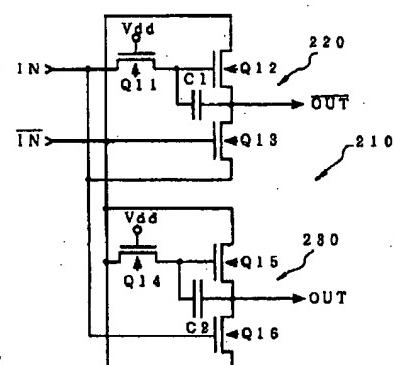
【図14】



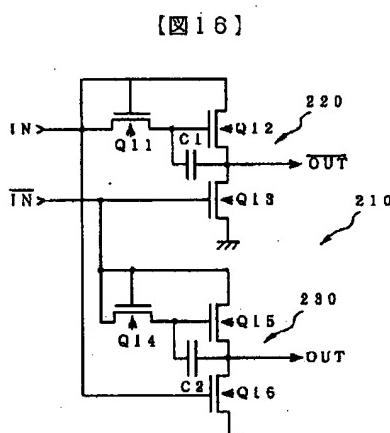
【図12】



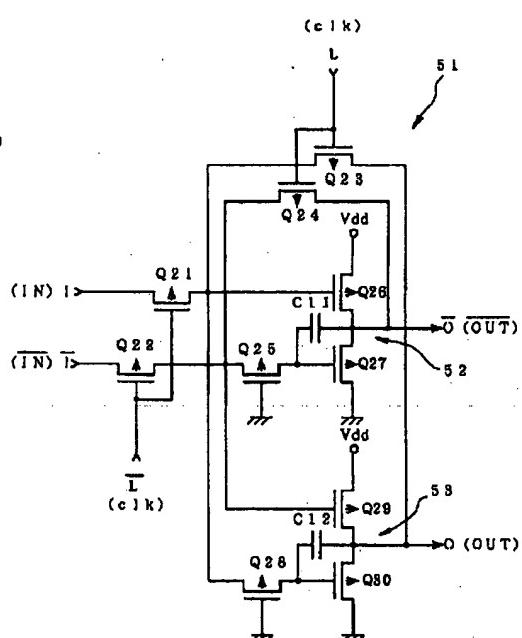
【図15】



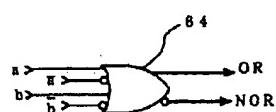
【図33】



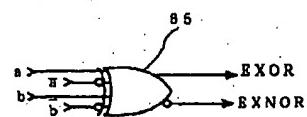
【図17】



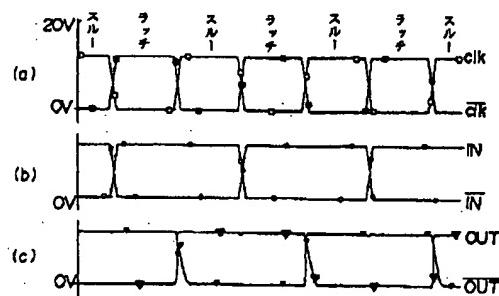
【図29】



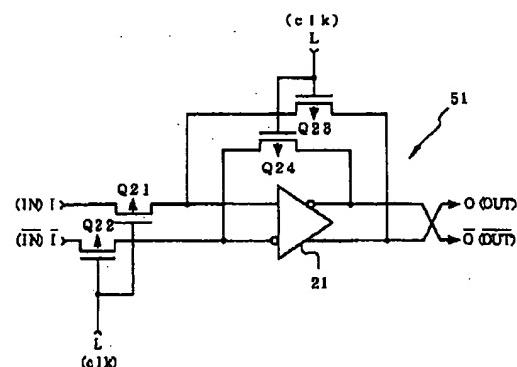
【図31】



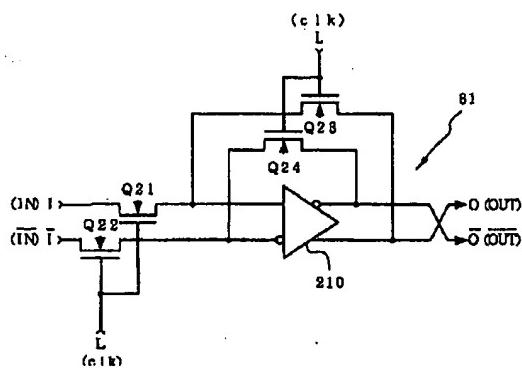
【図19】



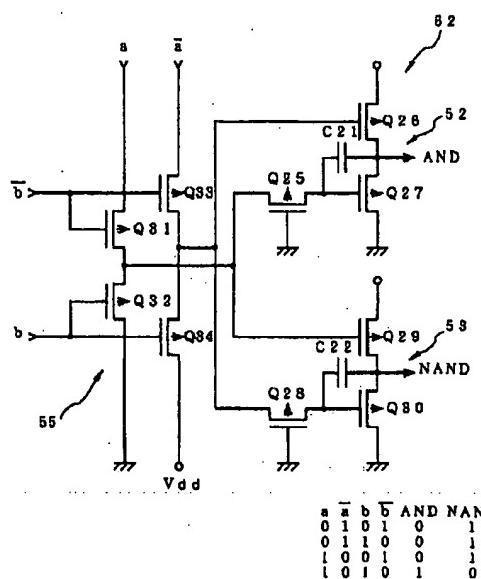
【図20】



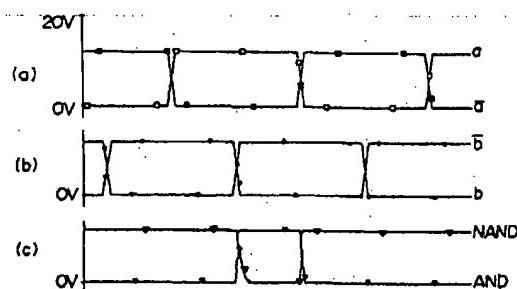
【図21】



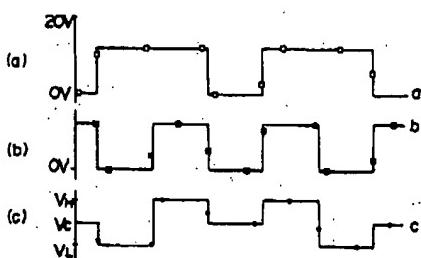
【図22】



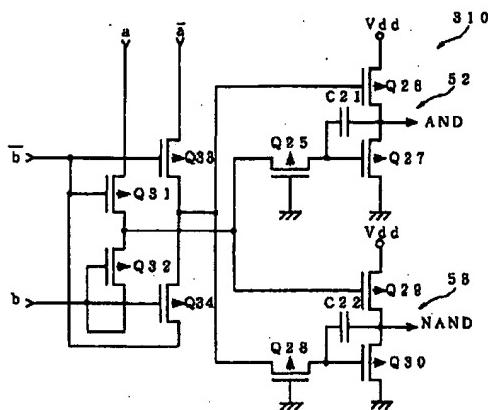
【図24】



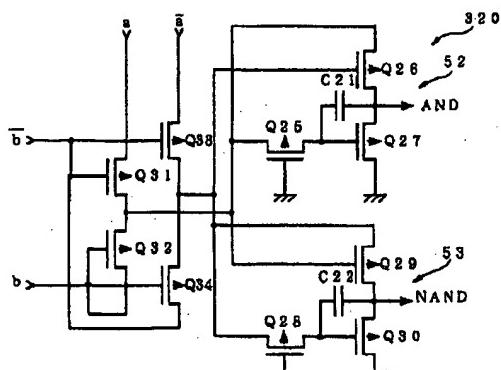
【図34】



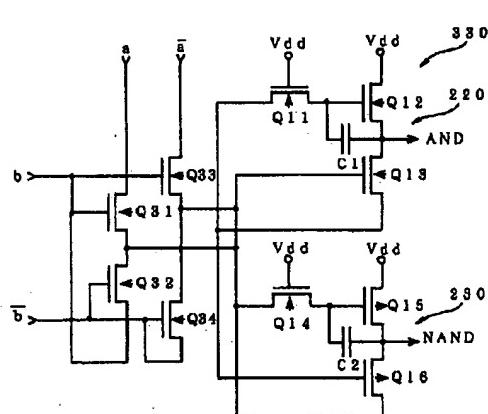
【図25】



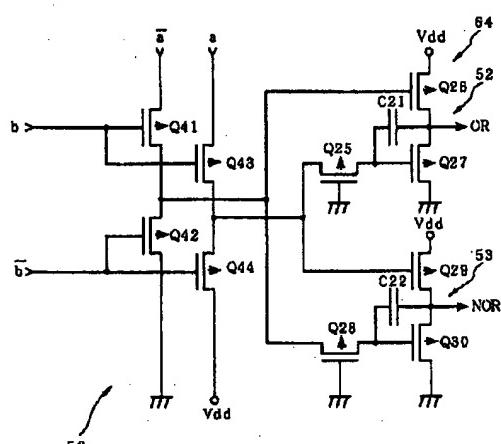
【図26】



【図27】

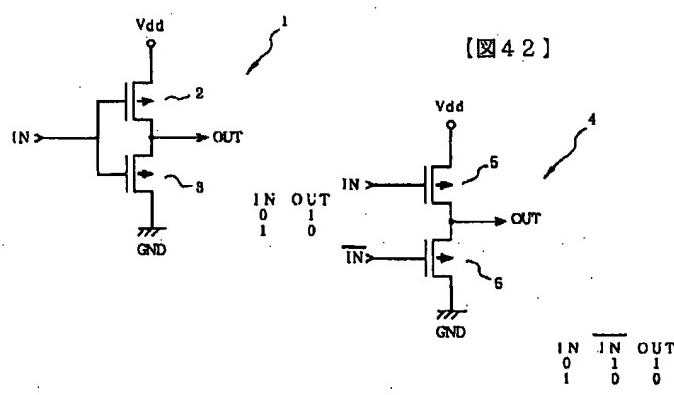


【図28】



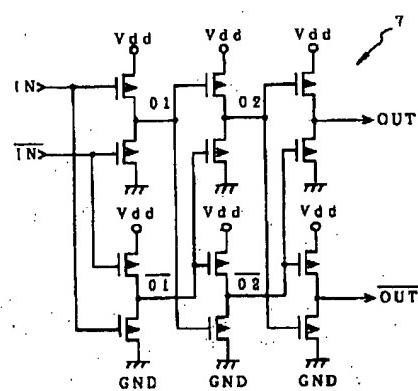
a	\bar{a}	b	\bar{b}	OR	NOR
0	1	0	1	0	1
0	1	1	0	1	0
1	0	1	1	1	0
1	0	0	0	1	0

【図41】

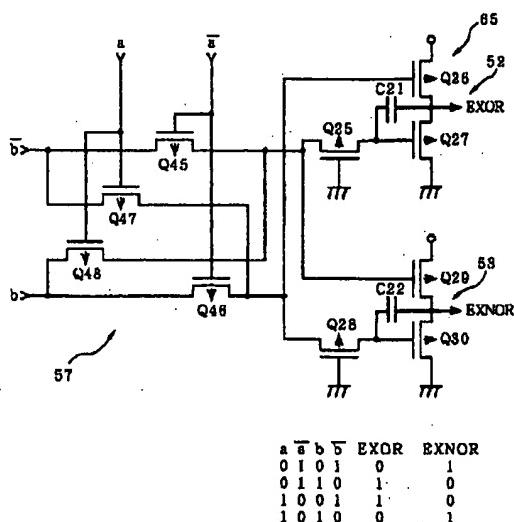


【図42】

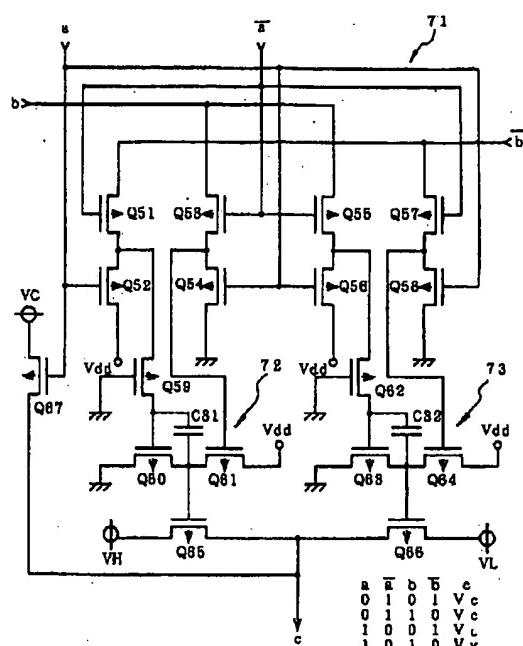
【図43】



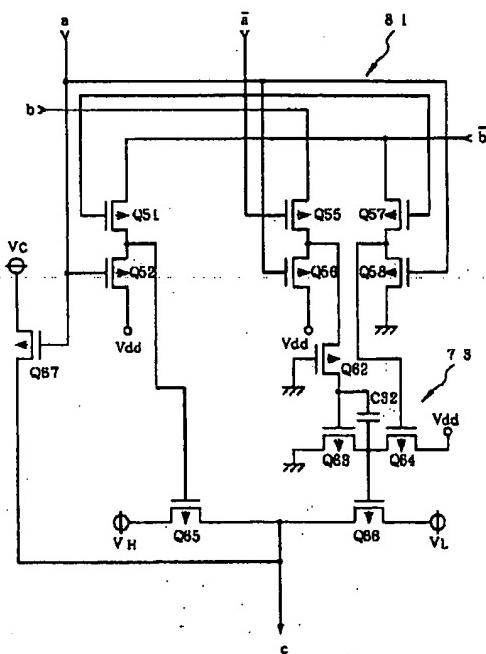
【図30】



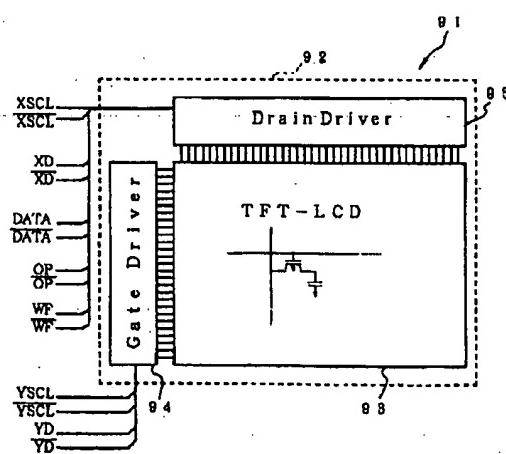
【図32】



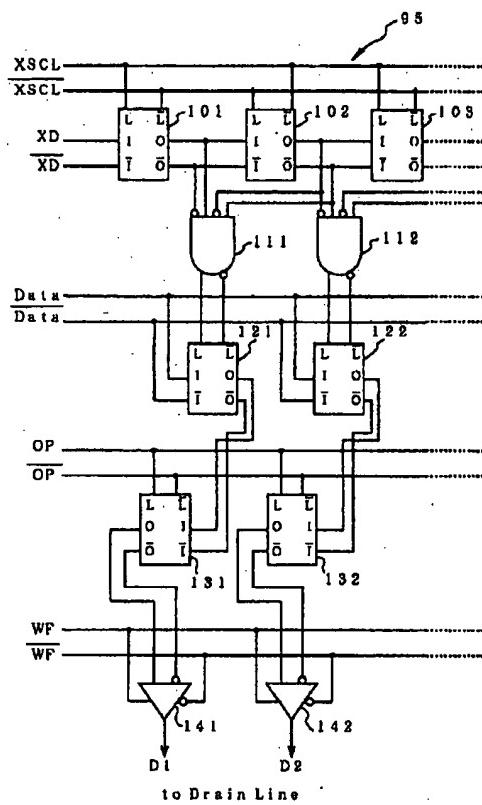
【図35】



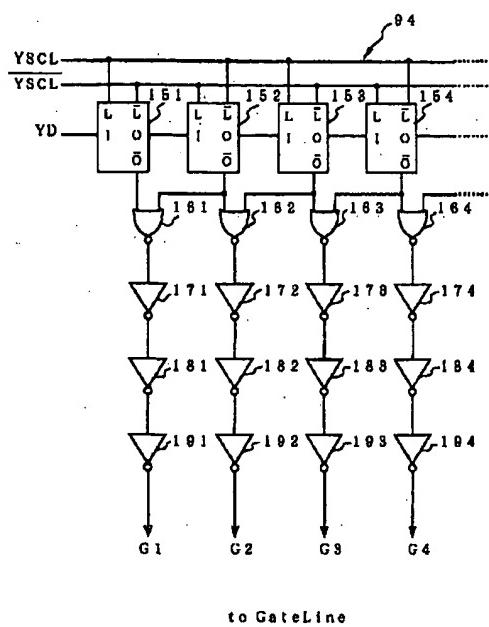
【図36】



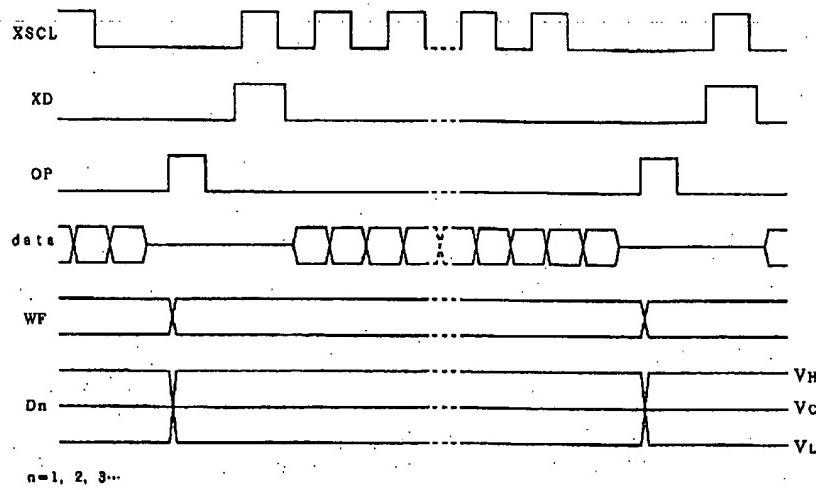
【図37】



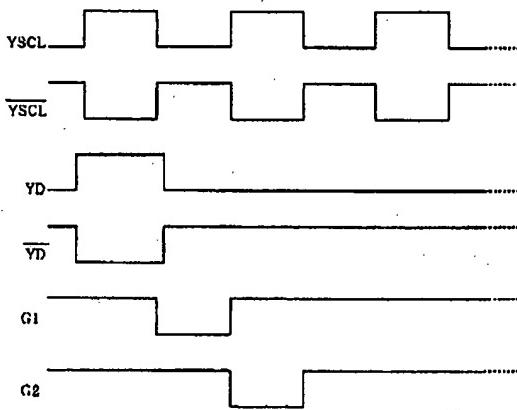
【図39】



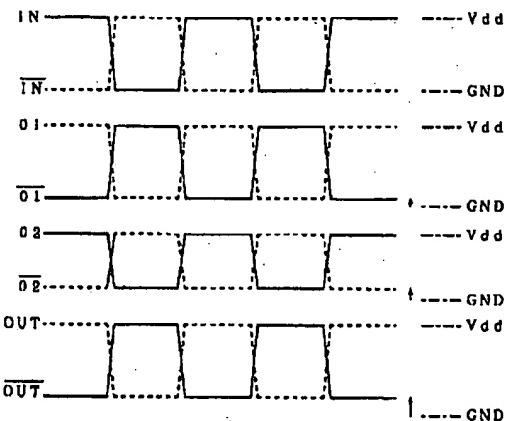
【図38】



【図40】



【図44】



【手続補正書】

【提出日】平成8年6月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置およびこれを用いた表示駆動装置

【特許請求の範囲】

【請求項1】入力端に高電位が入力される、一導電型の第1のトランジスタと、

入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、

前記第1および第2のトランジスタの出力端に接続された出力手段と、

前記第1のトランジスタのゲートに接続された非反転信号供給手段と、

前記第2のトランジスタのゲートに接続された反転信号供給手段と、

前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路と、

を具備してなり、前記出力電圧補償回路により前記出力手段から出力される低電位の上昇または高電位の低下を抑制することを特徴とする半導体装置。

【請求項2】請求項1記載の発明において、前記出力電圧補償回路は、

前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、

この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段と、を含むことを特徴とする半導体装置。

【請求項3】請求項1または請求項2記載の発明において、前記第1および第2のトランジスタはP型であることを特徴とする半導体装置。

【請求項4】請求項3記載の発明において、前記第1のトランジスタの入力端は、前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項5】請求項3記載の発明において、前記第2のトランジスタの入力端は、前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項6】請求項3記載の発明において、前記第3のトランジスタのゲートは、前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項7】請求項1または請求項2記載の発明において、前記第1および第2のトランジスタはN型であることを特徴とする半導体装置。

【請求項8】請求項7記載の発明において、前記第1のトランジスタの入力端は、前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項9】請求項7記載の発明において、前記第2のトランジスタの入力端は、前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項10】請求項7記載の発明において、前記第3のトランジスタのゲートは、前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

接続されていることを特徴とする半導体装置。

【請求項11】入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、
入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、
前記第1および第2のトランジスタの出力端に接続された出力手段と、
前記第3および第4のトランジスタの出力端に接続され、前記出力手段とは逆極性の信号を出力する反転出力手段と、
前記第1および前記第4のトランジスタのゲートに接続された非反転信号供給手段と、
前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、
前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間に接続された第1の出力電圧補償回路と、
前記第3および第4のトランジスタの出力端と前記非反転信号供給手段との間に接続された第2の出力電圧補償回路と、
を備えたことを特徴とする半導体装置。

【請求項12】請求項11記載の発明において、
前記第1の出力電圧補償回路は、
前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、
この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段とを含み、
前記第2の出力電圧補償回路は、
前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、
この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段とを含むことを特徴とする半導体装置。

【請求項13】請求項11または請求項12記載の発明において、前記第1乃至第4のトランジスタはP型であることを特徴とする半導体装置。

【請求項14】請求項13記載の発明において、前記第2のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項15】請求項13記載の発明において、前記第1のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項16】請求項13記載の発明において、前記第4のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項17】請求項13記載の発明において、前記第

3のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項18】入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、
入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、
前記第1および第2のトランジスタの出力端に接続された反転出力手段と、
前記第3および第4のトランジスタの出力端に接続され、前記反転出力手段とは逆極性の信号を出力する出力手段と、
前記第1および第4のトランジスタのゲートに接続された非反転信号供給手段と、
前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、
前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間に接続された第1の出力電圧補償回路と、
前記第3および第4のトランジスタの出力端と前記反転信号供給手段との間に接続された第2の出力電圧補償回路と、
を備えたことを特徴とする半導体装置。

【請求項19】請求項18記載の発明において、
前記第1の出力電圧補償回路は、
前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、
この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段を含み、
前記第2の出力電圧補償回路は、

前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、
この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段を含むことを特徴とする半導体装置。

【請求項20】請求項18または請求項19記載の発明において、前記第1乃至第4のトランジスタはN型であることを特徴とする半導体装置。

【請求項21】請求項20記載の発明において、前記第1のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項22】請求項20記載の発明において、前記第3のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項23】請求項20記載の発明において、前記第2のトランジスタの入力端は前記非反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項24】請求項20記載の発明において、前記第4のトランジスタの入力端は前記反転信号供給手段に接続されていることを特徴とする半導体装置。

【請求項25】請求項11または請求項18記載の発明において、

前記非反転入力手段と前記出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第7のトランジスタと、

前記反転入力手段と前記反転出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第8のトランジスタと、

を備えたことを特徴とする半導体装置。

【請求項26】請求項11または請求項18記載の発明において、前記半導体装置は、

前記第1乃至第4のトランジスタと同一導電型の複数のトランジスタで構成された論理回路を備えたことを特徴とする半導体装置。

【請求項27】請求項26記載の発明において、前記論理回路はANDまたはNAND回路を含むことを特徴とする半導体装置。

【請求項28】請求項26記載の発明において、前記論理回路はORまたはNOR回路を含むことを特徴とする半導体装置。

【請求項29】請求項26記載の発明において、前記論理回路はEXORまたはEXNOR回路を含むことを特徴とする半導体装置。

【請求項30】請求項11または請求項18記載の発明において、前記半導体装置は、

前記第1乃至第4のトランジスタと同一導電型の第9のトランジスタを有し、前記出力手段または前記反転出力手段の少なくとも一方は、前記第9のトランジスタのゲートに接続されていることを特徴とする半導体装置。

【請求項31】絶縁基板上に形成された複数のラッチ回路を含む表示駆動装置であって、

前記各ラッチ回路は、

入力端に高電位が入力される、一導電型の第1のトランジスタと、

入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、

前記第1および第2のトランジスタの出力端に接続された出力手段と、

前記第1のトランジスタのゲートに接続された非反転信号供給手段と、

前記第2のトランジスタのゲートに接続された反転信号供給手段と、

前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、

前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする表示駆動装置。

【請求項32】絶縁基板上に形成されたそれが繋続された複数のインバータ回路を含む表示駆動装置であって、

前記各インバータ回路は、

入力端に高電位が入力される、一導電型の第1のトランジスタと、

入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、

前記第1および第2のトランジスタの出力端に接続された出力手段と、

前記第1のトランジスタのゲートに接続された非反転信号供給手段と、

前記第2のトランジスタのゲートに接続された反転信号供給手段と、

前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、

前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびこれを用いた表示駆動装置に関し、詳細には、同じ導電型の複数のトランジスタからなる半導体装置およびこれを用いた表示駆動装置に関する。

【0002】

【従来の技術】従来、例えば、液晶表示装置などのドライバ回路を薄膜トランジスタ(TFT:Thin Film Transistor)で構成する場合は、通常はCMOS(相補型)回路が用いられている。このCMOS回路は、低消費電力であって、適正な出力が得られることなどの利点があり、広く用いられている。

【0003】図4.0は、CMOSインバータ回路の構成を示す図である。図4.0に示すように、CMOS1は、PMOS2とNMOS3の二種類のトランジスタを対にして用いている。このCMOS1は、IN(入力)が「0」のときにPMOS2がオンして電源から「1」がOUT(出力)される。また、入力が「1」のときは、

NMOS 3がオンとなってグラウンドからの「0」が出力される。このように、CMOSインバータ回路は、入力を反転したものが出力される。

【0004】また、これとは別に、PMOSもしくはNMOSのいずれか一方のトランジスタを用いてインバータ回路を構成することも可能である。このインバータ回路には、比率形インバータ回路と無比率形インバータ回路とがあり、さらに、比率形インバータ回路の中には、抵抗負荷形、E/E形、E/D形などがある。

【0005】上記従来例では、インバータ回路を例にあげて説明したが、これ以外にラッチ回路、トライステート回路、ドレインドライバ回路、ゲートドライバ回路等を構成する場合、あるいは、ロジック回路としてオア回路、エクスクルシブ・オア回路、アンド回路、ナンド回路等を構成する場合もCMOS等が使われていた。

【0006】

【発明が解決しようとする課題】しかしながら、このような従来の半導体装置にあっては、図40に示すCMOS1がPMOS2とNMOS3の二種類のトランジスタから構成されているため、CMOSを製造する際に、PMOSとNMOSの両方を作る必要から不純物注入工程が増加して、マスクの枚数も増えることから製造工程および素子構造が複雑化して、高コスト化するという問題があった。

【0007】また、半導体装置のチャネル部分からのリーケ電流を抑えるため、半導体素子の構造として不純物濃度の異なる領域を形成するLDI構造を採用すると、さらに不純物注入工程が増加する問題が生ずる。

【0008】そこで、上記したCMOSを使わずにPMOSもしくはNMOSのいずれか一方のトランジスタを用いる構成として、例えば、上記した比率形インバータ回路の抵抗負荷形とした場合、トランジスタと負荷抵抗を備えている。このトランジスタは、PMOSもしくはNMOSのいずれか一方を使っているため、素子構造が簡略化され、製造工程数を少なくできる。ところが、このトランジスタの他に広い面積を占める負荷抵抗を要するため、高集積化できなくなる上、負荷抵抗を用いた回路は、直流通的リーケ電流が大きくなつて、出力レベルが小さくなるという問題がある。

【0009】さらに、図41は、PMOSを2個使って構成した無比率形インバータの基本回路を3個直列に接続した無比率形インバータ回路7を示す図であり、図42は、図41の無比率形インバータ回路7の動作時における各部の信号波形を示す図である。

【0010】図41および図42に示すように、無比率形インバータ回路7に最初に入力される入力(IN)と反転入力(¬IN)の電位がVddとグラウンド電位であつても、01出力(01)と反転01出力(¬01)になると、グラウンド電位よりわずかに上昇し、また、02出力(02)と反転02出力(¬02)になると、グ

ラウンド電位よりさらに上昇し、最終的な出力(OUT)と反転出力(¬OUT)ではローレベルがグラウンド電位よりも大幅に上昇するため、このインバータを使った回路が誤動作するおそれがある。

【0011】このように、PMOSのみでCMOS回路を構成した場合、PMOSのしきい値分だけグラウンド電位V_{GND}が上昇するが、NMOSのみでCMOS回路を構成した場合には、電源電位V_{dd}がNMOSのしきい値分だけ上昇する。

【0012】つまり、CMOS回路をPMOSまたはNトランジスタの一方のみで構成すると、トランジスタのしきい値分だけ出力が鈍り、次段の回路の動作余裕度が低減する。従って、多数のインバータ回路を継続接続することは勿論、他の回路との接続も不可能となる。

【0013】そこで、本発明は、相補型トランジスタからなるインバータ回路をP型またはN型のいずれか一方の導電型の絶縁ゲート型トランジスタのみで構成しても、グラウンド電位V_{GND}または電源電位V_{dd}を上昇または下降することなく出力することができる半導体装置およびこの半導体装置を用いた表示駆動装置を提供することを目的とする。

【0014】

【課題を解決するための手段】請求項1記載の半導体装置は、入力端に高電位が入力される、一導電型の第1のトランジスタと、入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第1のトランジスタのゲートに接続された非反転信号供給手段と、前記第2のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路と、を具備してなり、前記出力電圧補償回路により前記出力手段から出力される低電位の上昇または高電位の低下を抑制することを特徴とする。

【0015】すなわち、第1のトランジスタと第2のトランジスタは、それぞれのゲートに接続された非反転信号供給手段と反転信号供給手段の供給信号によってスイッチング動作が行われ、出力手段から高電位または低電位を出力する際に、出力電圧補償回路により低電位が上昇したり、高電位が低下したりするのが抑制される。

【0016】したがつて、請求項1記載の半導体装置は、同一導電型のトランジスタを使って構成したとしても、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、適正な高電位あるいは低電位の出力信号を出力するため、この半導体装置を使って回路を構成しても誤動作が防止される。

【0017】また、第1のトランジスタと第2のトラン

ジスタは、同一導電型のトランジスタで構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化を達成することができる。

【0018】さらに、第1のトランジスタと第2のトランジスタは、非反転信号供給手段と反転信号供給手段によって交互にスイッチングさせるため、リーコ電流を少なくすることができる。

【0019】請求項2記載の半導体装置は、請求項1記載の発明において、前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段と、を含むようにしてもよい。

【0020】すなわち、具体的な出力電圧補償回路としては、例えば、反転信号供給手段または非反転信号供給手段に第3のトランジスタの入力端を接続し、その第3のトランジスタの出力端と第1および第2のトランジスタの出力端との間に容量手段を接続するものである。

【0021】したがって、同一導電型からなる第1または第2のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第3のトランジスタと容量手段によって、いわゆる「ブーストストラップ」を構成することにより、適正な出力電位を補償することができる。

【0022】請求項3記載の半導体装置は、請求項1または請求項2記載の発明において、前記第1および第2のトランジスタはP型であってもよい。

【0023】請求項4記載の半導体装置は、請求項3記載の発明において、前記第1のトランジスタの入力端は、前記反転信号供給手段に接続されていてもよい。

【0024】請求項5記載の半導体装置は、請求項3記載の発明において、前記第2のトランジスタの入力端は、前記反転信号供給手段に接続されていてもよい。

【0025】請求項6記載の半導体装置は、請求項3記載の発明において、前記第3のトランジスタのゲートは、前記反転信号供給手段に接続されていてもよい。

【0026】すなわち、請求項3乃至請求項6に記載の半導体装置は、第1、第2および第3のトランジスタをP型としたり、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを反転信号供給手段に接続するようにしてよい。

【0027】したがって、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0028】請求項7記載の半導体装置は、請求項1ま

たは請求項2記載の発明において、前記第1および第2のトランジスタはN型としてもよい。

【0029】請求項8記載の半導体装置は、請求項7記載の発明において、前記第1のトランジスタの入力端は、前記非反転信号供給手段に接続するようにしてよい。

【0030】請求項9記載の半導体装置は、請求項7記載の発明において、前記第2のトランジスタの入力端は、前記非反転信号供給手段に接続するようにしてよい。

【0031】請求項10記載の半導体装置は、請求項7記載の発明において、前記第3のトランジスタのゲートは、前記非反転信号供給手段に接続するようにしてよい。

【0032】すなわち、請求項7乃至請求項10に記載の半導体装置は、第1、第2および第3のトランジスタをN型としたり、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを非反転信号供給手段に接続するようにしてよい。

【0033】したがって、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記非反転信号供給手段に接続することによって、配線を簡素化することができるとともに、消費電力を低減することができる。

【0034】請求項11記載の半導体装置は、入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第3および第4のトランジスタの出力端に接続され、前記出力手段とは逆極性の信号を出力する反転出力手段と、前記第1および前記第4のトランジスタのゲートに接続された非反転信号供給手段と、前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間に接続された第1の出力電圧補償回路と、前記第3および第4のトランジスタの出力端と前記非反転信号供給手段との間に接続された第2の出力電圧補償回路と、を備えたことを特徴とする。

【0035】すなわち、第1および第3のトランジスタの入力端に高電位が入力され、第2および第4のトランジスタの入力端に低電位が入力され、第1および第4のトランジスタのゲートに非反転信号供給手段が接続され、第2および第3のトランジスタのゲートに反転信号供給手段が接続されて、これらの供給信号によりスイッチング動作を行って、出力手段および反転出力手段から高電位または低電位を出力する際に、第1および第2の

出力電圧補償回路により低電位が上昇したり、高電位が低下したりするのが抑制される。

【0036】したがって、請求項11記載の半導体装置は、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号が出力されるため、この半導体装置を使って回路を構成しても誤動作が防止される。

【0037】また、第1乃至第4のトランジスタは、同一導電型で構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化とを達成することができる。

【0038】さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせるため、リーク電流を小さくすることができる。

【0039】請求項12記載の半導体装置は、請求項1記載の発明において、前記第1の出力電圧補償回路は、前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段とを含み、前記第2の出力電圧補償回路は、前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段とを含むようによい。

【0040】すなわち、具体的な出力電圧補償回路としては、例えば、反転信号供給手段に第5のトランジスタの入力端を接続し、その第5のトランジスタの出力端と第1および第2のトランジスタの出力端との間に第1の容量手段を接続し、非反転信号供給手段に第6のトランジスタの入力端を接続し、その第6のトランジスタの出力端と第3および第4のトランジスタの出力端との間に第2の容量手段を接続するものである。

【0041】したがって、一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値だけ異なるという特性があるため、第5および第6のトランジスタと第1および第2の容量手段とによる、いわゆる「ブートストラップ」を構成することにより、適正な出力電位が補償される。

【0042】請求項13記載の半導体装置は、請求項1または請求項12記載の発明において、前記第1乃至第4のトランジスタはP型としてもよい。

【0043】請求項14記載の半導体装置は、請求項13記載の発明において、前記第2のトランジスタの入力端は前記反転信号供給手段に接続するようによい。

い。

【0044】請求項15記載の半導体装置は、請求項13記載の発明において、前記第1のトランジスタの入力端は前記反転信号供給手段に接続するようによい。

【0045】請求項16記載の半導体装置は、請求項13記載の発明において、前記第4のトランジスタの入力端は前記非反転信号供給手段に接続するようによい。

【0046】請求項17記載の半導体装置は、請求項13記載の発明において、前記第3のトランジスタの入力端は前記非反転信号供給手段に接続するようによい。

【0047】すなわち、請求項13乃至請求項17に記載の半導体装置は、第1乃至第6のトランジスタをP型としたり、第1および第2のトランジスタの入力端を反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を非反転信号供給手段に接続するようによい。

【0048】したがって、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0049】請求項18記載の半導体装置は、入力端に高電位が入力される、一導電型の第1および第3のトランジスタと、入力端に低電位が入力される、前記第1および第3のトランジスタと同一導電型の第2および第4のトランジスタと、前記第1および第2のトランジスタの出力端に接続された反転出力手段と、前記第3および第4のトランジスタの出力端に接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端に接続され、前記反転出力手段とは逆極性の信号を出力する出力手段と、前記第1および第4のトランジスタのゲートに接続された非反転信号供給手段と、前記第2および第3のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間に接続された第1の出力電圧補償回路と、前記第3および第4のトランジスタの出力端と前記反転信号供給手段との間に接続された第2の出力電圧補償回路と、を備えたことを特徴とする。

【0050】すなわち、第1および第3のトランジスタの入力端に高電位が入力され、第2および第4のトランジスタの入力端に低電位が入力され、第1および第4のトランジスタのゲートに非反転信号供給手段が接続され、第2および第3のトランジスタのゲートに反転信号供給手段が接続されて、これらの供給信号によりスイッチング動作を行って、出力手段および反転出力手段から高電位または低電位を出力する際に、第1および第2の出力電圧補償回路によって低電位が上昇したり、高電位

が低下したりするのが抑制される。

【0051】したがって、請求項18記載の半導体装置は、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号を出力することができるため、この半導体装置を使って回路を構成しても誤動作を防止することができる。

【0052】また、第1乃至第4のトランジスタは、同一導電型で構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化とを達成することができる。

【0053】さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせるため、リーク電流を少なくすることができます。

【0054】請求項19記載の半導体装置は、請求項18記載の発明において、前記第1の出力電圧補償回路は、前記非反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第5のトランジスタと、この第5のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された第1の容量手段を含み、前記第2の出力電圧補償回路は、前記反転信号供給手段に入力端が接続された、前記第1乃至第4のトランジスタと同一導電型の第6のトランジスタと、この第6のトランジスタの出力端と前記第3および第4のトランジスタの出力端に接続された第2の容量手段を含むようにしてよい。

【0055】すなわち、具体的な出力電圧補償回路としては、例えば、非反転信号供給手段に第5のトランジスタの入力端を接続し、その第5のトランジスタの出力端と第1および第2のトランジスタの出力端との間に第1の容量手段を接続し、反転信号供給手段に第8のトランジスタの入力端を接続し、その第8のトランジスタの出力端と第3および第4のトランジスタの出力端との間に第2の容量手段を接続するものである。

【0056】したがって、同一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第5および第6のトランジスタと第1および第2の容量手段とによる、いわゆる「ブーストストラップ」を構成することにより、適正な出力電位が補償される。

【0057】請求項20記載の半導体装置は、請求項18または請求項19記載の発明において、前記第1乃至第4のトランジスタはN型としてもよい。

【0058】請求項21記載の半導体装置は、請求項20記載の発明において、前記第1のトランジスタの入力端は前記非反転信号供給手段に接続するようにしてよい。

【0059】請求項22記載の半導体装置は、請求項20記載の発明において、前記第3のトランジスタの入力端は前記反転信号供給手段に接続するようにしてよい。

【0060】請求項23記載の半導体装置は、請求項20記載の発明において、前記第2のトランジスタの入力端は前記非反転信号供給手段に接続するようにしてよい。

【0061】請求項24記載の半導体装置は、請求項20記載の発明において、前記第4のトランジスタの入力端は前記反転信号供給手段に接続するようにしてよい。

【0062】すなわち、請求項20乃至請求項24に記載の半導体装置は、第1乃至第6のトランジスタをN型としたり、第1および第2のトランジスタの入力端を非反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を反転信号供給手段に接続するようにしてよい。

【0063】したがって、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0064】請求項25記載の半導体装置は、請求項11または請求項18記載の発明において、前記非反転入力手段と前記出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第7のトランジスタと、前記反転入力手段と前記反転出力手段との間に接続された、前記第1乃至第4のトランジスタと同一導電型の第8のトランジスタと、を備えるようにしてよい。

【0065】すなわち、請求項11または請求項18記載の半導体装置において、非反転入力手段と出力手段との間に第7のトランジスタを、反転入力手段と反転出力手段との間に第8のトランジスタを設けたことにより、ラッチ回路が構成される。

【0066】したがって、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られるラッチ回路とができる。

【0067】請求項26記載の半導体装置は、請求項11または請求項18記載の発明において、前記半導体装置は、前記第1乃至第4のトランジスタと同一導電型の複数のトランジスタで構成された論理回路を備えるようにしてよい。

【0068】請求項27記載の半導体装置は、請求項26記載の発明において、前記論理回路はA N DまたはN A N D回路を含むようにしてよい。

【0069】請求項28記載の半導体装置は、請求項2

6記載の発明において、前記論理回路はORまたはNOR回路を含むようにしてもよい。

【0070】請求項29記載の半導体装置は、請求項26記載の発明において、前記論理回路はEXORまたはEXNOR回路を含むようにしてもよい。

【0071】すなわち、請求項26乃至請求項29に記載の半導体装置は、請求項11乃至請求項24のいずれかに記載の半導体装置において、同一導電型の複数のトランジスタにより、AND、NAND、OR、NOR、EXOR、EXNOR等の論理回路を備えるようにしてもよい。

【0072】したがって、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られる論理回路とすることができる。

【0073】請求項30記載の半導体装置は、請求項11または請求項18記載の発明において、前記半導体装置は、前記第1乃至第4のトランジスタと同一導電型の第9のトランジスタを有し、前記出力手段または前記反転出力手段の少なくとも一方は、前記第9のトランジスタのゲートに接続されるようにしてもよい。

【0074】すなわち、請求項11または請求項18記載の半導体装置の出力手段または反転出力手段の少なくとも一方は、第9のトランジスタのゲートに接続されている。

【0075】したがって、半導体装置の出力手段や反転出力手段からの出力電位を用いて、さらに、第9のトランジスタをスイッチングさせる、例えば、トライステート回路等に適用することができる。

【0076】請求項31記載の表示駆動装置は、絶縁基板上に形成された複数のラッチ回路を含む表示駆動装置であって、前記各ラッチ回路は、入力端に高電位が入力される、一導電型の第1のトランジスタと、入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第1のトランジスタのゲートに接続された非反転信号供給手段と、前記第2のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする。

【0077】すなわち、表示駆動装置を構成する複数のラッチ回路は、第1のトランジスタの入力端に高電位が

入力され、第2のトランジスタの入力端に低電位が入力され、第1および第2のトランジスタの出力端に出力手段が接続され、非反転信号供給手段が第1のトランジスタのゲートに接続され、反転信号供給手段が第2のトランジスタのゲートに接続され、前記出力手段と前記反転信号供給手段、または、非反転信号供給手段のいずれかの間に接続された出力電圧補償回路が接続され、その出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に第3のトランジスタの入力端が接続され、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端との間に容量手段が接続される。

【0078】したがって、本発明の半導体装置を含むラッチ回路を使って表示駆動装置を構成したため、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【0079】請求項32記載の表示駆動装置は、絶縁基板上に形成されたそれぞれが継続された複数のインバータ回路を含む表示駆動装置であって、前記各インバータ回路は、入力端に高電位が入力される、一導電型の第1のトランジスタと、入力端に低電位が入力される、前記第1のトランジスタと同一導電型の第2のトランジスタと、前記第1および第2のトランジスタの出力端に接続された出力手段と、前記第1のトランジスタのゲートに接続された非反転信号供給手段と、前記第2のトランジスタのゲートに接続された反転信号供給手段と、前記第1および第2のトランジスタの出力端と前記反転信号供給手段との間、または前記第1および第2のトランジスタの出力端と前記非反転信号供給手段との間のいずれかに接続された出力電圧補償回路とを具備してなり、前記出力電圧補償回路は、前記反転信号供給手段または非反転信号供給手段に入力端が接続された前記第1および第2のトランジスタと同一導電型の第3のトランジスタと、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端に接続された容量手段とを含むことを特徴とする。

【0080】すなわち、表示駆動装置を構成する継続された複数のインバータ回路は、第1のトランジスタの入力端に高電位が入力され、第2のトランジスタの入力端に低電位が入力され、出力手段が第1および第2のトランジスタの出力端に接続され、非反転信号供給手段が第1のトランジスタのゲートに接続され、反転信号供給手段が第2のトランジスタのゲートに接続され、前記出力手段と前記反転信号供給手段、または、前記非反転信号供給手段とのいずれかの間に接続された出力電圧補償回路が接続され、その出力電圧補償回路は、反転信号供給手段または非反転信号供給手段に第3のトランジスタの入力端が接続され、この第3のトランジスタの出力端と前記第1および第2のトランジスタの出力端との間に容量手段が接続される。

【0081】したがって、本発明の半導体装置を含むイ

ンバータ回路を使って表示駆動装置を構成したため、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【0082】

【発明の実施の形態】以下、本発明の半導体装置とこれを用いた表示駆動装置の実施形態を図面に基づいて説明する。

【0083】図1乃至図39は、本発明の半導体装置とこれを用いた表示駆動装置の一実施形態を示す図であり、ここでは、半導体装置に用いる同一導電型のトランジスタとしてPMOSのみを使って実施したものである。

【0084】図1乃至図39において、本発明の半導体装置の基本的な回路構成を図1で示し、図1の回路を組み合わせて構成したインバータ回路を図2乃至図15に示し、図1の回路と複数のP型トランジスタを用いて構成したラッチ回路を図16乃至図20に示し、図1の回路と複数のP型トランジスタを用いて構成したAND（およびNAND）回路を図21乃至図26に示し、OR（およびNOR）回路を図27及び図28に示し、EXOR（およびEXNOR）回路を図29及び図30に示し、図1の回路と複数のP型トランジスタと複数の電圧源（VC、VL、VH）を用いて構成したトライステート回路を図31乃至図34に示し、上記したインバータ回路、ラッチ回路、アンド（および NAND）回路、およびトライステート回路等を用いて構成したドレインドライバやゲートドライバを備えた液晶駆動回路を図35乃至図39に示している。

【0085】（インバータ基本回路）図1は、本発明の半導体装置のインバータ基本回路構成を示す図である。図1に示すように、本発明の半導体装置11は、3個のP型絶縁ゲート型（以下、P型トランジスタという）トランジスタ12、13、14と、1個のコンデンサ15とから構成されている。ここで、P型トランジスタはゲート絶縁膜でシリコン酸化膜で形成されたP型又はシリコン窒化膜等他の絶縁膜で形成されたP型の電界効果型薄膜トランジスタ（MIS-FET）である。この3個のP型トランジスタ12、13、14は、いずれもアモルファシリコン、ポリシリコン等の非単結晶シリコンで形成された半導体層を有する。そして、P型トランジスタ13とP型トランジスタ14のソースおよびドレインは、電源電位（Vdd）とグラウンド電位（VGND）との間に直列に接続され、P型トランジスタ13のゲートには、入力（IN）側から正論理又は負論理が印加され、P型トランジスタ14のゲートには、反転入力（ \neg IN）側から入力（IN）を反転した論理が印加される。

【0086】上記した構成だけであれば、図35の従来例に示す無比率形インバータ回路と同様であって、入力（IN）に「0」が入力され、反転入力（ \neg IN）に

「1」が入力されると、出力端部（OUT）から「1」が出力されるが、逆に、入力（IN）に「1」が入力され、反転入力（ \neg IN）から「0」が入力されると、出力（OUT）からは充分下がりきらないローレベルの「0」が出力される。これは、P型トランジスタ14がオンしたときに、そのしきい値電圧分だけ低電位側を上昇させることによる。

【0087】そこで、本発明では、図1に示す半導体装置11の反転入力（ \neg IN）とP型トランジスタ13、14の出力端との間に出力電圧補償回路を接続して、P型トランジスタ14から出力される低電位がグラウンド電位（VGND）から上昇することを抑制するようしている。

【0088】出力電圧補償回路は、P型トランジスタ13および14と同一導電型のP型トランジスタ12とコンデンサ15からなり、P型トランジスタ12のソースを反転入力（ \neg IN）に接続し、ドレインをP型トランジスタ14のゲートに接続するとともに、コンデンサ15の一方の電極をP型トランジスタ13、14の出力側の接続点に、また、他方の電極をP型トランジスタ12のドレインとP型トランジスタ14のゲートとの接続線に接続して構成される。また、P型トランジスタ12のゲートはグラウンド電位（VGND）に接続されている。このように、上記したP型トランジスタ12とコンデンサ15を従来の無比率形インバータ回路に組み合わせたことにより、出力端部（OUT）から出力されるローレベルをグラウンド電位と同じ電位まで下げることが可能になった。

【0089】また、上記した3個のトランジスタ12、13、14は、同一導電型（ここではPチャネル形）のトランジスタで構成できるため、不純物注入工程やマスクの枚数が削減されて、製造工程が簡略化されることにより、コストを低減化することができる。

【0090】さらに、スイッチングトランジスタであるP型トランジスタ13を電源側、P型トランジスタ14をグラウンド側に設けて、各ゲートに正論理と負論理の両方を入力するようにしたため、リーク電流が少くなり、低消費電力化が図ることができる。

【0091】（インバータ回路）図2は、図1のインバータ基本回路を2個組み合わせて正論理・負論理の両方の否定を出力するインバータ回路21の構成を示す図である。

【0092】まず、構成を説明する。

【0093】図2に示すように、インバータ回路21は、P型トランジスタQ1、Q2、Q3とコンデンサC1とで構成されたインバータ基本回路22と、P型トランジスタQ4、Q5、Q6とコンデンサC2とで構成されたインバータ基本回路23とを組み合わせたものである。

【0094】インバータ基本回路22は、P型トランジ

スタQ2のゲートに入力(IN)が、P型トランジスタQ1を介してP型トランジスタQ3のゲートに反転入力(¬IN)が入力される。また、インバータ基本回路23は、P型トランジスタQ5、Q6のゲートに対して、入力(IN)と反転入力(¬IN)とがインバータ基本回路22とは逆に入力される。

【0095】次に、動作を説明する。

【0096】インバータ回路21は、例えば、入力(IN)に負論理「0」が入力され、反転入力(¬IN)に正論理「1」が入力されると、インバータ基本回路22のP型トランジスタQ2がオンして、電源Vddから「1」が出力(OUT)され、P型トランジスタQ3はオフする。逆に、インバータ基本回路23は、P型トランジスタQ5がオフし、P型トランジスタQ6がオンして、反転出力(¬OUT)としてグラウンド電位の「0」が出力される。

【0097】さらに、上記インバータ回路21において、入力(IN)と反転入力(¬IN)の論理が上記と逆の場合は、出力(OUT)側から「0」が出力され、反転出力(¬OUT)側からは「1」が出力されることになる。

【0098】このように、本実施形態のインバータ回路21は、正論理・負論理の両方が入力および反転入力として入力されると、それらの否定が出力および反転出力として出力される。

【0099】また、本実施形態のインバータ回路21は、インバータ基本回路22のP型トランジスタQ3あるいはインバータ基本回路23のP型トランジスタQ6がオンした場合、グラウンド電位が出力あるいは反転出力として出力されるが、図2に示すように、P型トランジスタQ3およびQ6のゲートにP型トランジスタQ1およびQ4が設けられ、このP型トランジスタQ1と出力端部との間、およびP型トランジスタQ4と反転出力端部との間に、それぞれ所定容量からなるコンデンサC1・C2が配置されている。

【0100】このため、出力や反転出力としてローレベルを出力する際に、そのローレベルが上昇するのを防止することが可能となり、適正なVddレベルの「1」とグラウンド電位の「0」とを出力あるいは反転出力として出力することができる。

【0101】図3は、図2のインバータ回路21のシンボルを示す図であり、インバータ回路21の入力側には、入力(IN)とそれを否定した反転入力(¬IN)が入力されると、出力側から入力の論理が反転された出力(OUT)と、それを否定した反転出力(¬OUT)が出力される。

【0102】そして、図4は、上記図3のインバータ回路21のシンボルを3個直列に接続した回路構成を示す図で、図4-1に示す従来例の回路構成に対応している。前述した図4-2に示す従来例の各部の信号レベルは、各

段のインバータ回路からローレベルを出力する際に、出力されるローレベルがグラウンド電位(VGND)よりも少しずつ上昇するため、インバータ回路を3個直列に接続して動作させると、それらの上昇分の累積結果が最終的なインバータ回路の出力レベルとなり、出力されるローレベルがグラウンド電位(VGND)よりも大幅にアップして、適正な出力レベルが得られなかった。

【0103】図5は、図4のインバータ回路を動作させた時の入出力信号のシミュレーション結果を示す図である。なお、本明細書中のシミュレーションで使用したP型トランジスタは、トランジスタサイズがL=4μm, W=4μm、しきい値電圧が-3V、電界効果移動度が40cm²/V·S、ゲート電極容量が1.22×10⁻¹⁴F、S/D(ソース/ドレイン)抵抗が200Ω、基板電圧が電源電圧(Vdd)と等電位のものを使用している。また、インバータ基本回路に用いたコンデンサは、0.2pFの容量のものを使用している。

【0104】そこで、図5に示すように、本実施形態のインバータ回路は、インバータ回路を3個直列に接続した場合でも、ローレベルが上昇するという出力レベルの損失が見られず、常に適正なグラウンド電位(VGND)および電源レベル(Vdd)を出力(OUT)あるいは反転出力(¬OUT)ができる。

【0105】また、本実施形態のインバータ回路は、上記したように出力レベルの損失が無く、電源電圧(Vdd)1.2V・動作周波数100KHzで動作する上、直流的なりーク電流が無く、遷移電流しか流れないと確認できた。このため、例えば、TFT-LCDの駆動回路として用いる場合の動作速度や消費電流に関して充分な特性を持っていることがわかった。

【0106】次に、図6乃至図9は、図2のインバータ回路21を変形した回路構成例を示す図である。図2と同様にP型トランジスタQ1乃至Q6と、コンデンサC1、C2を使っているが、各P型トランジスタの入力端、あるいはゲートの接続関係を変えたものである。

【0107】すなわち、図2のインバータ回路21のトランジスタQ3がオン動作してローレベルを出力するのは、反転入力信号(¬IN)がローレベルの時である。このため、トランジスタQ3がグラウンドに接地されている入力端の電極は、常にローレベルである必要はない、反転入力信号(¬IN)がローレベルの時だけ、ローであればよいことになる。

【0108】したがって、図6に示すように、トランジスタQ3の入力端をグラウンドではなく、トランジスタQ3がオン動作する際に、ローレベルとなる反転入力端部(¬IN)に接続しても支障がなく、全く同じ動作が行われる。

【0109】また、図6のトランジスタQ6に関しても、上記と同様の理由により、グラウンドに接地されていた入力端を、トランジスタQ6がオン動作する際にロ

ーレベルとなる入力端部 (IN) に接続することで、接地箇所が少なくて、配線が簡素化され、消費電力を減少させることができる。

【0110】次に、図2のインバータ回路21のトランジスタQ2がオン動作してハイレベルを出力するのは、入力信号 (IN) がローレベルの時である。このため、トランジスタQ2が電源に接続されている入力端の電極は、常にハイレベルである必要はなく、入力信号 (IN) がローレベルの時だけ、ハイレベルが入力されればよいことになる。

【0111】したがって、図7に示すように、トランジスタQ2の入力端を電源ではなく、トランジスタQ2がオン動作する際に、ハイレベルとなる反転入力端部 ($\neg IN$) に接続しても支障がなく、全く同じ動作が行われる。

【0112】また、図7のトランジスタQ5に関して、上記と同様の理由により、電源に接続されていた入力端を、トランジスタQ5がオン動作する際にハイレベルとなる入力端部 (IN) に接続することで、電源との接続箇所が少なくて、配線を簡素化され、消費電力を減少することができる。

【0113】次に、図8に示すように、トランジスタQ2、Q3、Q5、Q6のそれぞれの入力端を上記と同様の理由により、入力端部 (IN) や反転入力端部 ($\neg IN$) に接続しても支障がなく、図2と全く同じ動作を行うことができる。

【0114】さらに、図2に示したインバータ回路21では、トランジスタQ3とQ6のゲート電圧を補償してローレベルの信号を確実に出力させるブーストストラップ用のトランジスタQ1、Q4のゲート電極がグラウンドに接続されているが、このトランジスタQ1、Q4も常にオン状態である必要はなく、トランジスタQ3あるいはQ6がオン動作するときに、P型トランジスタQ1あるいはQ4のゲート電極にローレベルが入力されてオンすればよい。

【0115】したがって、図9に示すように、トランジスタQ1あるいはQ4のゲート電極をグラウンドに接続するのではなく、トランジスタQ3がオン動作する際にローレベルとなる反転入力端部 ($\neg IN$) にトランジスタQ1のゲート電極を接続し、また、トランジスタQ6がオン動作する際にローレベルとなる入力端部 (IN) にトランジスタQ4のゲート電極を接続しても支障がなく、全く同じ動作を行うことができる。

【0116】これにより、さらにトランジスタのグラウンドや電源への接続箇所を少なくすることができるので、配線が簡素化され、消費電力を減少することができる。

【0117】次に、図10は、図2に示すP型トランジスタのインバータ回路をN型絶縁ゲート型トランジスタ（以下、N型トランジスタという）で構成した場合の回

路図である。

【0118】ここで、N型トランジスタは、ゲート絶縁膜がシリコン酸化膜で形成されたMOS又はシリコン窒化膜等他の絶縁膜で形成されたN型の電界効果型トランジスタ（MIS-FET）である。

【0119】図10に示すように、インバータ回路210は、N型トランジスタQ11、Q12、Q13とコンデンサーC1とで構成されたインバータ基本回路220と、N型トランジスタQ14、Q15、Q16とコンデンサーC2とで構成されたインバータ基本回路230とを組み合わせたものである。

【0120】インバータ基本回路220は、N型トランジスタQ11を介してN型トランジスタQ12のゲートに入力信号 (IN) が、N型トランジスタQ13のゲートに反転入力信号 ($\neg IN$) が入力される。また、インバータ基本回路230は、N型トランジスタQ15、Q16のゲートに入力される入力信号 (IN) と反転入力信号 ($\neg IN$) とがインバータ基本回路220とは逆に入力される。

【0121】そして、トランジスタQ12、Q15の入力端とトランジスタQ11、Q14のゲート電極には、電源からハイレベルの信号が常に供給されている。また、トランジスタQ13およびQ16の入力端は、グラウンドに接地されて、常にローレベルの信号が入力されている。

【0122】図11は、周知のバスロジック回路200の出力側に図10のN型インバータ回路210を接続した回路である。バスロジック回路200は、低消費電力、高処理能力および高集積化を目的として最近開発された回路であり、列及び行方向にネットワーク状に配列された多数のN型トランジスタQ_a_α、Q($\neg a$ _α)、…、Q_m_λ、Q($\neg m$ _λ)、…Q_z_ω、Q($\neg z$ _ω)から構成される。各N型トランジスタは、行アドレス配線_a、($\neg a$)、…_m、($\neg m$)、…_z、($\neg z$)のいずれかにゲートが接続され、列アドレス配線_α、($\neg α$)、…_λ、($\neg λ$)、…_ω、($\neg ω$)に入力端が接続されている。各N型トランジスタは、所定の信号が入力される行アドレス線と、その反転信号が入力される行アドレスに接続される2個ずつがその出力端が接続されたペアーとなっている。例えば、N型トランジスタQ_a_αとQ($\neg a$ _α)の出力端は接続され、N型トランジスタQ_m_λとQ($\neg m$ _λ)の出力端は接続され、N型トランジスタQ_z_ωとQ($\neg z$ _ω)は接続されている。

【0123】N型インバータ回路210は、このようなN型バストランジスタロジックネットワークの出力端(SI)、($\neg SI$)に接続される。

【0124】図12(a)および(b)は、図11の回路のシミュレーション結果を示す図である。図12(a)は、図11におけるバスロジック回路200の出力端(SI)、($\neg SI$)の波形を示し、図12(b)

は、N型インバータ回路210の出力端(SO)、(−SO)の波形を示す。図12(a)に示される如く、N型バスロジック回路200から出力される波形は、高電位Vddが5Vから低下している。これは、N型バスロジック回路200のネットワーク回路を構成する各N型トランジスタの出力端が相互に接続されているために生じる電位低下であり、N型トランジスタのしきい値に対応する低下である。しかし、N型インバータ回路210の出力波形では、高電位Vddが5Vに回復している。このように、N型インバータ回路210は、高電位Vddの低減を防止する効果があることを確認することができる。

【0125】上記した図10のN型トランジスタからなるインバータ回路210の構成は、種々のバリエーションが考えられ、これを図13乃至図15に示す。

【0126】図13乃至図15は、図10のインバータ回路210を変形した回路構成例を示す図である。図10と同様にN型トランジスタQ11乃至Q16と、コンデンサC1、C2を使っているが、各N型トランジスタの入力端、あるいはゲートの接続関係を変えたものである。

【0127】すなわち、図10のインバータ回路210のトランジスタQ12がオン動作してハイレベルを出力するのは、入力信号(IN)がハイレベルの時である。このため、電源に接続されているトランジスタQ12の入力端は、常にハイレベルである必要はなく、入力信号(IN)がハイレベルの時だけ、ハイであればよいことになる。

【0128】したがって、図13に示すように、トランジスタQ12の入力端を電源ではなく、トランジスタQ12がオン動作する際に、ハイレベルとなる入力端部(IN)に接続しても支障がなく、全く同じ動作が行われる。

【0129】また、図13のトランジスタQ15に関しては、上記と同様の理由により、電源に接続されていた入力端を、トランジスタQ15がオン動作する際にハイレベルとなる反転入力端部(−IN)に接続することにより、電源への接続箇所が少なくて、配線が簡素化され、消費電力を減少することができる。

【0130】これと同様に、図10のインバータ回路210のトランジスタQ13がオン動作してローレベルを出力るのは、反転入力信号(−IN)がハイレベルの時である。このため、トランジスタQ13がグラウンドに接地されている入力端の電極は、常にローレベルである必要はなく、反転入力信号(−IN)がハイレベルの時だけ、ハイが入力されればよいことになる。

【0131】次に、図14に示すように、トランジスタQ12、Q13、Q15、Q16のそれぞれの入力端を上記と同様の理由により、入力端部(IN)や反転入力端部(−IN)に接続しても支障がなく、図10と全く同じ動作を行うことができる。

【0132】さらに、図10に示したインバータ回路210では、トランジスタQ12とQ15のゲート電圧を補償してハイレベルの信号を確実に出力させるブーストアップ用のトランジスタQ11、Q14のゲート電極が電源に接続されているが、このトランジスタQ11、Q14も常にオン状態である必要はなく、トランジスタQ12あるいはQ15がオン動作するときに、N型トランジスタQ11あるいはQ14のゲート電極にハイレベルを入力してオンさせればよい。

【0133】したがって、図15に示すように、トランジスタQ11あるいはQ14のゲート電極を電源に接続するのではなく、トランジスタQ12がオン動作する際にハイレベルとなる入力端部(IN)にトランジスタQ11のゲート電極を接続し、また、トランジスタQ15がオン動作する際にハイレベルとなる反転入力端部(−IN)にトランジスタQ14のゲート電極を接続しても支障がなく、全く同じ動作を行うことができる。

【0134】このように、N型トランジスタで構成されたインバータ回路210の場合も、図13乃至図15に示すように構成することにより、さらにトランジスタのグラウンドや電源への接続箇所を少なくできるので、配線が簡素化され、消費電力を減少させることができる。

【0135】(ラッチ回路)図16は、上記図1に示すインバータ基本回路を組み合わせてデータを一時的に保持するラッチ回路51の構成図である。

【0136】まず、構成を説明する。

【0137】図16に示すラッチ回路51は、2つのインバータ基本回路52、53を使って構成したインバータ回路と入力端部(I)および反転入力端部(−I)との間に、スイッチング素子であるP型トランジスタQ21およびQ22を設け、このP型トランジスタQ21およびQ22のゲートには、スイッチングを行うための反転クロック信号(−clk)が反転制御信号入力端部(−L)から入力される。

【0138】また、インバータ基本回路52の出力端部(−O)からの出力(−OUT)は、フィードバックループによって上記したP型トランジスタQ22のドレイン側に、スイッチング素子であるP型トランジスタQ24を介して接続されている。

【0139】また、インバータ基本回路53の出力端部(O)からの出力(OUT)は、フィードバックループによって上記したP型トランジスタQ21のドレイン側に、スイッチング素子であるP型トランジスタQ23を介して接続されている。

【0140】上記したP型トランジスタQ23とQ24のゲートには、スイッチングを制御するためのクロック信号(clk)が制御信号入力端部(L)から入力されるように構成されている。

【0141】このように、図16に示すラッチ回路51は、図2に示すインバータ回路に4個のP型トランジ

タQ21乃至Q24を新たに付加したものである。そして、P型トランジスタQ21乃至Q24は、外部からの反転制御信号入力端部(\bar{L})および制御信号入力端部(L)からの制御信号によって、ラッチ回路51をスルーモードさせるかラッチ動作させるかを切換えるものである。

【0142】図17は、図16に示すラッチ回路51のシンボルを示す図であって、入力端部(I)に入力信号(IN)が、反転入力端部(\bar{I})に反転入力信号(\bar{IN})が入力されると、制御信号入力端部(L)に入力されるクロック信号(c1k)と反転制御信号入力端部(\bar{L})に入力される反転クロック信号($\bar{c1k}$)により、選択されるスルーモードとラッチ動作に応じた出力信号(OUT)と反転出力信号(\bar{OUT})とが出力端部(O)と反転出力端部(\bar{O})から出力される。

【0143】次に、動作を説明する。

【0144】図18は、ラッチ回路51を動作させた時の入出力信号のシミュレーション結果を示す図である。同図(a)は、制御信号入力端部(L)と反転制御信号入力端部(\bar{L})に入力されるクロック信号(c1k)と反転クロック信号($\bar{c1k}$)を示す図で、同図(b)は、入力端部(I)と反転入力端部(\bar{I})に入力される入力信号(IN)と反転入力信号(\bar{IN})を示す図で、同図(c)は、出力端部(O)と反転出力端部(\bar{O})から出力される出力信号(OUT)と反転出力信号(\bar{OUT})を示す図である。

【0145】本実施形態のラッチ回路51は、制御信号入力端部(L)に入力されるクロック信号(c1k)がハイ「1」で、反転制御信号入力端部(\bar{L})の反転クロック信号($\bar{c1k}$)がロー「0」の場合は、スルーモードとなり、逆に、制御信号入力端部(L)に入力されるクロック信号(c1k)がロー「0」で、反転制御信号入力端部(\bar{L})の反転クロック信号($\bar{c1k}$)がハイ「1」の場合は、ラッチ状態となる。

【0146】上記したスルーモードとは、入力端部(I)からの入力信号(IN)がそのまま出力端部(O)の出力信号(OUT)として出力され、反転入力端部(\bar{I})からの反転入力信号(\bar{IN})がそのまま反転出力端部(\bar{O})の反転出力信号(\bar{OUT})として出力される状態をいう。

【0147】また、上記したラッチ状態とは、ラッチ前の出力状態を保持することをいう。

【0148】具体的には、図18(a)に示すように、クロック信号(c1k)がハイ「1」で、反転クロック信号($\bar{c1k}$)がロー「0」の場合は、スルーモードとなり、図16のP型トランジスタQ23とQ24はオフし、P型トランジスタQ21とQ22はオンとなる。

【0149】このため、図18(b)に示すように、入力信号(IN)が「0」で、反転入力信号(\bar{IN})が「1」になると、P型トランジスタQ27とQ29がオ

フし、P型トランジスタQ26とQ30がオンするため、そのまま出力されるスルーモードとなり、出力信号(OUT)に「0」が、反転出力信号(\bar{OUT})に「1」が出力される。

【0150】次に、クロック信号(c1k)がロー「0」で、反転クロック信号($\bar{c1k}$)がハイ「1」の場合は、ラッチ状態となり、図16のP型トランジスタQ23とQ24はオンし、P型トランジスタQ21とQ22はオフする。

【0151】このため、入力端部(I)と反転入力端部(\bar{I})の入力信号に関わりなく、図18(b)に示す従前のスルーモードの出力信号(OUT)の「0」がP型トランジスタQ23を介して、P型トランジスタQ26とQ30をオンし、反転出力信号(\bar{OUT})の「1」がP型トランジスタQ24を介して、P型トランジスタQ27とQ29とをオフするため、図18(c)に示すように、従前の出力状態が保持され、出力信号(IN)が「0」で反転入力信号(\bar{IN})の「1」がそのまま出力される。

【0152】このように、図16に示すラッチ回路は、4個のP型トランジスタQ21乃至Q24のゲートを外部からの制御信号に従って、スルーモードとラッチモードの切換えを行っている。この回路は、正論理と負論理の2つの入出力を持っているため、2個のインバータ基本回路52、53からなるインバータ回路(図2参照)を1つ使うだけでラッチ機能を実現することができる。

【0153】また、上記実施形態のラッチ回路は、図1のインバータ基本回路を使って構成しているため、出力レベルの損失が無くなるとともに、直流的なリーク電流が無くなり、消費電力を低減化することができる。

【0154】なお、上記ラッチ回路51では、P型トランジスタで回路を構成したが、これに限定されるものではなく、P型トランジスタに代わってN型トランジスタにより回路構成することもできる。

【0155】図19は、P型トランジスタを使った図16のラッチ回路51のインバータ回路を図記号に置換した回路図である。

【0156】図19に示すラッチ回路51は、インバータ回路21の入出力端部にそれぞれP型トランジスタQ21乃至Q24を配して、クロックLと反転クロック \bar{L} とによってゲートを制御するものである。

【0157】ここでは、図16に示すラッチ回路51以外の回路構成からなるバリエーションとして、図19のインバータ回路21を上記の図6乃至図9までのインバータ回路をそれぞれ用いて構成するようにしてもよい。

【0158】上記構成を採用した場合は、インバータ回路21の各P型トランジスタに対する電源やグラウンドとの接続箇所が少なくて、回路の配線が簡素化されるとともに、消費電力を減少させることができる。

【0159】また、図20は、N型トランジスタを使っ

てラッチ回路61を構成してインバータ回路を図記号に置換した回路図である。

【0160】図20に示すラッチ回路61は、図10に示すインバータ回路210の入出力端部にそれぞれN型トランジスタQ21乃至Q24を配して、クロックLと反転クロック \bar{L} とによってゲートを制御するものである。

【0161】ここでは、N型トランジスタを用いたラッチ回路61の回路構成のバリエーションとして、図20のインバータ回路210の部分に上記の図13乃至図15までのインバータ回路をそれぞれ用いて構成するようにしてよい。

【0162】上記の構成からなるインバータ回路を採用了したラッチ回路61は、インバータ回路210の各N型トランジスタに対する電源やグラウンドとの接続箇所が少なくなつて、回路の配線が簡素化されるとともに、消費電力を減少させることができるようになつた。

【0163】(アンド回路)図21は、上記図1のインバータ基本回路とP型トランジスタとを組み合わせて論理積とその否定を生成するアンド回路の構成図である。

【0164】まず、構成を説明する。

【0165】図21のAND/NAND回路62は、論理回路55とインバータ基本回路52および53から構成される。

【0166】論理回路55は、4個のP型トランジスタQ31乃至Q34を用いて入力に対する論理積とその否定を生成するものである。すなわち、入力がa、b2つの場合は、その否定である反転a(\bar{a})と反転b(\bar{b})も入力する。そして、aの入力端部とグラウンドとの間には、P型トランジスタのQ21とQ22を直列に接続し、また、反転aの入力端部と電源(Vdd)との間には、P型トランジスタのQ33とQ34を直列に接続している。

【0167】上記のP型トランジスタQ32とQ34のゲートには、bが入力されてスイッチングが行われ、P型トランジスタQ31とQ33のゲートには、反転bが入力されてスイッチングが行われる。そして、上記スイッチングの結果に応じて、P型トランジスタQ31とQ32の間、およびP型トランジスタQ33とQ34の間からハイレベル「1」又はローレベル「0」の信号が出力される。

【0168】ただし、上記のP型トランジスタQ31乃至Q34だけでは、ローレベルの出力がトランジスタのしきい値電圧分だけ損失が発生する。このため、本実施形態のアンド回路61では、インバータ基本回路52、53で構成された図2と同様のインバータ回路を付加することにより、出力レベルの補正を行っている。すなわち、このインバータ基本回路52および53は、図16に図示したインバータ基本回路52および53と同じ構成であり、出力される低電位をグラウンド電位V_{QND}と

等電位になるまで低下させる働きをしている。

【0169】次に、動作を説明する。

【0170】入力されるaが「0」(反転aは「1」)で、bが「0」(反転bは「1」)の場合は、図21に示すように、P型トランジスタのQ31とQ33がオフし、Q32とQ34がオンするため、インバータ回路側のP型トランジスタQ28とQ30はオフするが、P型トランジスタQ27とQ29がオンして、アンド出力が「0」、 NAND出力が「1」となる。

【0171】上記と同様に、入力されるaが「0」(反転aは「1」)で、bが「1」(反転bは「0」)の場合は、アンド出力が「0」、 NAND出力が「1」となる。

【0172】また、入力されるaが「1」(反転aは「0」)で、bが「0」(反転bは「1」)の場合は、アンド出力が「0」、 NAND出力が「1」となる。

【0173】さらに、入力されるaが「1」(反転aは「0」)で、bが「1」(反転bは「0」)の場合は、アンド出力が「1」、 NAND出力が「0」となる。

【0174】図22は、図21のアンド回路61のシンボルを示す図であり、図23は、図22のアンド回路61における各入力パターンに対するアンド出力と NAND出力のショミレーション結果を示した図である。

【0175】図23に示すように、アンド回路は、入力されるa、反転a、b、反転bの各入力の組み合わせに応じて、所定の論理積(AND)とその否定(NAND)とが出力される。そして、アンド出力や NAND出力でローレベルを出力する場合は、本実施形態のようにインバータ基本回路52、53を組み合わせることによって出力レベルが補正されるので、図23(c)に示すように、確実にグラウンド電位(V_{QND})と等価な電位を出力することができる。

【0176】また、上記実施形態のアンド回路61は、図1に示すインバータ基本回路を採用しているため、直流通のリード電流が無くなり、消費電力を低減化することができる。

【0177】なお、上記アンド回路61では、P型トランジスタを使って回路を構成しているが、このP型トランジスタの代わりにN型トランジスタを使って構成してもよい。

【0178】図24は、図21に示すP型トランジスタからなるアンド回路の変形例を示す回路図である。

【0179】図21に示したアンド回路61は、インバータ基本回路52、53と、その前段にP型トランジスタQ31乃至Q34からなる論理回路55とで構成されている。図24のアンド回路310は、図21のアンド回路62のインバータ基本回路52、53からなるインバータ回路の部分は同じであるが、その前段の論理回路の接続関係が異なっている。

【0180】すなわち、図21に示すトランジスタQ3

1とQ32は、入力端部aとグラウンドとの間にソースとドレインが直列に接続され、トランジスタQ31とQ32のゲート電極に反転入力信号 $\neg b$ と入力信号bとが印加されることにより、出力信号aかローレベルのグラウンド出力信号がインバータ回路に入力される。また、トランジスタQ33とQ34は、反転入力端部 $\neg a$ と電源との間にソースとドレインが直列に接続され、トランジスタQ33とQ34のゲート電極に反転入力信号 $\neg b$ と入力信号bとが印加されることにより、反転入力信号 $\neg a$ かハイレベルの電源入力信号がインバータ回路に入力される。

【0181】ところが、図24に示した論理回路のトランジスタQ32の入力端は、常にローレベルである必要はなく、トランジスタQ32がオン動作する場合にのみローレベルが入力されるものであればよい。したがって、図24に示すように、トランジスタQ32の入力端をグラウンドではなく、トランジスタQ32がオン動作する際にローレベルとなる入力端部 b に接続しても支障がなく、図21と全く同じ動作を行うことができる。

【0182】また、図21の論理回路のトランジスタQ34の入力端は、常にハイレベルである必要はなく、トランジスタQ34がオン動作する場合にのみハイレベルが入力されるものであればよい。したがって、図24に示すように、トランジスタQ34の入力端を電源ではなく、トランジスタQ34がオン動作する際にハイレベルとなる反転入力端部 $\neg b$ に接続しても支障がなく、図21と全く同じ動作を行うことができる。

【0183】図25のアンド回路320は、図21に示すP型トランジスタからなるアンド回路の別の変形例を示す回路図である。

【0184】図25を図24との間で比較した場合、インバータ回路の前段部分の論理回路の構成は、図24と同様であるが、図25の回路構成は、インバータ回路のP型トランジスタQ26の入力端に接続されていた電源に代えて、トランジスタQ26がオン動作する際にハイレベルとなる論理回路からの入力端部に接続すればよい。また、インバータ回路のP型トランジスタQ29の入力端に接続されていた電源に代えて、トランジスタQ29がオン動作する際にハイレベルとなる論理回路からの入力端部に接続すればよい。

【0185】図26は、N型トランジスタで構成されたアンド回路330の回路図である。

【0186】図26のアンド回路330は、インバータ基本回路220、230からなるN型インバータ回路と、その前段のトランジスタQ31乃至Q34からなる論理回路とで構成されている。

【0187】インバータ基本回路220のトランジスタQ13の入力端は、通常ローレベルが入力されるようにグラウンドに接続されているが、上記と同様の理由により、トランジスタQ13がオン動作するときのみロー

ベルとなる論理回路からの入力端部に接続しても、動作に変わりは無い。

【0188】また、図26のアンド回路330の論理回路では、上記のP型トランジスタで構成された図21に示す論理回路において、トランジスタQ32の入力端がグラウンドに接続されている代わりに、トランジスタQ32がオン動作する場合にローレベルが入力されるよう、入力端子 b に接続し、トランジスタQ34の入力端が電源に接続されている代わりに、トランジスタQ34がオン動作する場合にハイレベルが入力されるよう反転入力端子 $\neg b$ に接続されている。

【0189】(オア回路)図27は、P型トランジスタのみから構成される論理和とその否定論理を出力するOR/NOR回路を示し、図28は、OR/NOR回路のシンボルを示す図である。

【0190】OR/NOR回路64は、論理回路56、インバータ基本回路52および53から構成されるが、インバータ基本回路52および53の回路構成は、図16のラッチ回路51のインバータ基本回路52および53、および図21のAND/NAND回路61のインバータ基本回路52および53と同じである。論理回路56は、4個のトランジスタQ41乃至Q44により信号a、 $\neg a$ 、b、 $\neg b$ の論理和信号およびその反転信号を出力するよう回路構成されている。この論理回路56のP型トランジスタQ43およびQ44の出力端がインバータ基本回路52のP型トランジスタQ25のソースとインバータ基本回路53のP型トランジスタQ29のゲートに接続されており、また、論理回路56のP型トランジスタQ41およびQ42の出力端がインバータ基本回路52のP型トランジスタQ26のゲートおよびインバータ基本回路53のP型トランジスタQ28のソースに接続されている。

【0191】このようなOR/NOR回路64から出力される出力波形は、低電位側をグラウンド電位とほぼ同じ電位とすることができます。OR/NOR回路64を構成するインバータ基本回路52および53は、この場合にも、図6乃至図9のように変形することができます。

【0192】(イクスクルーシブオア回路)図29は、P型トランジスタのみから構成される排他的論理和とその否定論理を出力するEXOR/EXNOR回路を示し、図30は、EXOR/EXNOR回路のシンボルを示す図である。

【0193】図29に示すEXOR/EXNOR回路65は、図21および図27に図示されたインバータ基本回路52および53を有する。このEXOR/EXNOR回路65が前述のAND/NAND回路61およびOR/NOR回路64と相違する点は、論理回路57についてのみである。論理回路57は、4個のP型トランジスタQ45乃至Q48を有しており、これら各P型トランジスタQ45乃至Q48は、ゲートに入力される信号

a またはその反転信号 \bar{a} に制御される。いずれのP型トランジスタQ45乃至Q48も、そのソースには、信号b または \bar{b} が入力されるが、ゲートに信号a が入力され、ソースに信号b が入力されるトランジスタQ48 のドレイン、およびゲートに反転信号 \bar{a} が入力され、ソースに反転信号 \bar{b} が入力されるトランジスタQ45 のドレインがインバータ基本回路52におけるトランジスタ25のソースとインバータ基本回路53におけるQ29のゲートに接続され、ゲートに信号a が入力され、ソースに反転信号 \bar{b} が入力されるトランジスタQ47 のドレイン、およびゲートに反転信号 \bar{a} が入力され、ソースに信号b が入力されるトランジスタQ46のドレインがインバータ基本回路52におけるトランジスタQ26のソースとインバータ基本回路53におけるトランジスタQ28のゲートに接続されて構成されている。

【0194】このようなEXOR/EXNOR回路65から出力される出力波形は、低電位側をグラウンド電位VGND とほぼ同じ電位とすることができる。EXOR/EXNOR回路65を構成するインバータ基本回路52および53は、この場合にも、図6乃至図9のように変形することができる。

【0195】(トライステート回路) 図31は、交流化電圧を生成するトライステート回路71の一構成例を示す図である。このトライステート回路71は、例えば、液晶駆動装置などで液晶を駆動する際に、直流電圧を印加したのでは液晶が劣化することから、交流化された駆動電圧を生成する場合などに用いられる。

【0196】まず、構成を説明する。

【0197】図31に示すように、8個のP型トランジスタQ51乃至Q58は、a、反転a (\bar{a})、b、反転b (\bar{b}) の4つの入力信号に基づいて、所定の論理を生成する論理部を構成している。このトライステート回路71は、a、b それぞれに正論理・負論理を入力することにより、3種類の電源電圧VH、VC、VLを切換えて生成される交流化電圧がcから出力される（但し、 $VH > VC > VL$ ）。ここでは、上記実施形態のアンド回路と同様にバス・トランジスタ・ロジックの手法を用いている。

【0198】そして、例えば、このトライステート回路を液晶駆動装置に用いる場合は、上記入力信号のaが書き込みデータの有り／無し、すなわち、液晶を駆動するか／しないかを表し、bが液晶駆動電圧の正／負を表すように用いることができる。

【0199】次に、6個のP型トランジスタQ59乃至Q64とコンデンサC31およびC32は、図1に示す2個のインバータ基本回路72、73を構成しており、実際に駆動電圧を出力するP型トランジスタQ65、Q66を充分に駆動して適正な出力電圧を得るために、P型トランジスタQ51乃至Q58で構成された論理部の出力を補正する働きをしている。

【0200】また、P型トランジスタQ65、Q66、Q67は、電源電圧VH、VL、VCを切換えるスイッチングトランジスタである。

【0201】図32は、図31のトライステート回路71のシンボルを示す図であり、図33は、図32のトライステート回路71へ入力されるa、bの2つの入力信号とこれに基づいて生成される交流化された出力信号cのショミレーション結果を示す図である。

【0202】次に、動作について説明する。

【0203】図31に示すトライステート回路71は、aとbのそれぞれに正論理・負論理のいずれかを入力することにより、cからVH、VC、VLのいずれかが出力される。実際には、図33の(a)、(b)に示すように、入力a、bが変化することによって、同図(c)に示すような交流化信号を生成するものである。

【0204】まず、入力信号のaとbが「0」の場合には、P型トランジスタQ65、Q66がオフとなり、P型トランジスタQ67がオンするため、cからVCが出力される。また、入力信号のaが「0」で、bが「1」の場合も上記と同様にcからVCが出力される。これは、aが「0」の場合は、論理部のP型トランジスタQ51、Q53、Q55、Q57がオフとなるため、bの入力信号に影響されることなくP型トランジスタQ67をオンして、cからVCが出力されることによる。

【0205】また、入力信号のaが「1」の場合は、スイッチングトランジスタのQ67がオフし、論理部のP型トランジスタQ52、Q54、Q56、Q58がオフするとともに、逆に、P型トランジスタQ51、Q53、Q55、Q57がオンする。このため、bの入力信号に基づいてcからの出力電圧が変化する。

【0206】そこで、bが「0」の場合は、Q61とQ63がオンとなり、ゲートにグラウンド電位VGNDが供給されてP型トランジスタQ66がオンしQ65がオフするため、cからVLが出力される。

【0207】また、bが「1」の場合は、Q60とQ64がオンとなり、ゲートにグラウンド電位VGNDが供給されてP型トランジスタQ65がオンしQ66がオフするため、cからVHが出力される。

【0208】このように、本実施形態のトライステート回路71は、P型トランジスタとコンデンサだけで構成できることから、構造が簡単となり、少ない工程数で製造できるため、低コスト化が図れる。

【0209】また、上記実施形態のトライステート回路71は、図1と同じインバータ基本回路72、73を用いて、P型トランジスタQ51乃至Q58で構成された論理部の出力を補正するようにしたため、図33(c)に示すように、出力電圧c、特に、ローレベルの出力電圧であるVLが充分下がりきらないという問題が解決され、常に所定の電圧まで確実に下がった状態の電圧レベルを出力することができるようになった。

【0210】次に、図34は、図31のトライステート回路を変形した他の実施形態に係る構成図であり、図31と同一部または相当部には同じ符号が付してある。

【0211】そこで、例えば液晶駆動回路のトライステート回路を構成する場合は、出力電源のVHとVLとの電圧関係がVH > VLであると、ハイ(VH)側のスイッチングトランジスタであるQ65が充分にオン状態にならなくても、液晶駆動の実用上ではそれ程差し支えないが、むしろQ66が充分にオン状態とならずにロー(VL)側の出力電圧レベルが下がりきらうことの方が問題となる。このような状況下では、ハイ側(VH)のスイッチングトランジスタのQ65のゲートに印加される電圧レベルを補正するために設けた図31に示すインバータ基本回路72を省略することが考えられる。図34は、上記の考えに基づいて構成したトライステート回路81である。

【0212】図34のトライステート回路は、上記のように使用目的に応じて構成したため、図31のトライステート回路71と比べて、実用上の特性に影響を与えることがなく、さらに5個のP型トランジスタQ53、Q54、Q59、Q60、Q61と、1個のコンデンサC31とを省略することが可能となり、回路構成が簡略化されて、低コスト化することができる。

【0213】なお、上記トライステート回路71、81では、P型トランジスタを使って回路構成しているが、このP型トランジスタの代わりにN型トランジスタを使って構成してもよい。

【0214】(液晶駆動回路)図35は、本実施形態に係る駆動回路一体型TFT-LCD91の概略構成図である。この駆動回路一体型TFT-LCD91は、LCD(Liquid Crystal Display)の表示領域において、ガラス基板上の各画素毎にスイッチング素子となるTFT(Thin Film Transistor)を形成するとともに、ドレインドライバ(データ線駆動回路)やゲートドライバ(走査線駆動回路)からなる液晶駆動回路もガラス基板上に一体形成したものである。

【0215】まず、構成を説明する。

【0216】図35に示すように、駆動回路一体型TFT-LCD91は、ガラス基板92上の表示領域内の各画素毎にTFTを形成する液晶表示パネル(TFT-LCD)93と、その液晶表示パネル93の各TFTのゲートに走査信号を印加して選択状態と非選択状態を作り出すゲートドライバ94と、そのゲートドライバ94によって選択状態にしたTFTに表示信号を印加して各画素毎の液晶を駆動するドレインドライバ95とで構成されている。

【0217】上記した液晶表示パネル93、ゲートドライバ94およびドレインドライバ95は、ガラス基板92上に一体形成されている。

【0218】図36は、図35に示すドレインドライバ

95をインバータ基本回路とP型トランジスタからなるラッチ回路、アンド回路、およびトライステート回路などで構成した部分回路図であり、図37は、図36各部の信号波形を示すタイミングチャートである。

【0219】図36に示すドレインドライバ95は、ラッチ回路101、102、103……、アンド回路111、112……、ラッチ回路121、122……、ラッチ回路131、132、……、トライステート回路141、142……などで構成されている。

【0220】ラッチ回路101、102、103は、図示しないコントローラから入力される水平クロック(XSCL)と、反転水平クロック(~XSCL)とが制御信号入力端部(L)と反転制御信号入力端部(~L)とに1つ置きに逆の位相で入力され、制御信号入力端部(L)に「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0221】ラッチ回路101への入力信号は、水平同期信号XDと水平同期信号~XDが入力され、スルー状態とラッチ状態に応じた出力信号が出力端部(O)と反転出力端部(~O)から出力され、アンド回路111と次段のラッチ回路102の入力端部に入力される。

【0222】同様に、ラッチ回路102の出力信号は、アンド回路111とアンド回路112および次段のラッチ回路103の入力端部に入力される。

【0223】そして、アンド回路111は、上記ラッチ回路101の出力(OUT)とラッチ回路102の反転出力(~OUT)とを入力して、論理積とその否定とをラッチ回路121の制御信号入力端部(L)と反転制御信号入力端部(~L)に入力する。アンド回路112も同様に、ラッチ回路102の反転出力(~OUT)とラッチ回路103の出力(OUT)とが入力されて、論理積とその否定とがラッチ回路122の制御信号入力端部(L)と反転制御信号入力端部(~L)に入力される。

【0224】ラッチ回路121とラッチ回路122は、上記したアンド回路111と112からの出力信号のタイミングに応じて、図示しないデータ交換回路から入力される各画素毎のデータをラッチし、そのラッチしたデータをそれぞれ次段のラッチ回路131と132に出力する。

【0225】ラッチ回路131と132は、クロックOPのタイミングで入力された各画素毎のデータをラッチして、その出力をそれぞれのトライステート回路141と142に出力する。

【0226】トライステート回路141と142は、上記したラッチ回路131と132からの入力信号と、交流化信号WFとの組み合わせによって、VH、VC、VLからなる3種類の電源電圧を適宜選択することにより、交流化された表示信号が生成される。トライステート回路141から出力される交流化された表示信号は、

ドレインラインのD1に出力され、トライステート回路142から出力される交流化された表示信号は、ドレンラインのD2に出力される。

【0227】なお、図38は、2ライン分のドレインラインに供給するドレインドライバ95の一部の構成を説明したにすぎず、実際には上記各回路が水平走査方向に画素数に応じて連なって配置されている。これにより、各ドレインラインには、その位置に応じた表示信号を供給することができる。

【0228】上記したように、ラッチ回路、アンド回路およびトライステート回路で構成されたドレインドライバ95は、インバータ基本回路とP型トランジスタだけで構成することができるため、相補型トランジスタで構成した場合と比べると、トランジスタ構造が簡単で、製造工程数が少なくなる上、画素のTFTトランジスタにP型トランジスタを採用するならば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを同時に作成することができ、低コスト化が図れるという利点がある。

【0229】また、本実施形態のドレインドライバ95は、相補型の場合と同様に直流のリーク電流が少なく、低消費電力性を有し、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0230】図38は、図35のゲートドライバ94の詳細ブロック図である。ゲートドライバ94は、ラッチ回路151、152…、NOR回路161、162…、インバータ回路171、172…、インバータ回路181、182…、インバータ回路191、192…から構成される。

【0231】図示しないコントローラからの垂直クロックYSCLは、縦列接続された各ラッチ回路151、152…の制御端子Lおよび反転制御端子-Lに交互に入力され、図示しないコントローラからの反転垂直クロック-YSClは、縦列接続された各ラッチ回路151、152…の反転制御端子-Lおよび制御端子Lに交互に、換言すれば、垂直クロックYSCLが接続されていない方の制御端子Lまたは反転制御端子-Lに接続される。各ラッチ回路151、152…では、制御端子Lに「1」が入力されると入力信号をスルーで出力し、「0」が入力されると前回の入力信号をラッチする。

【0232】各ラッチ回路151の入力端子Iには、垂直同期信号YDが供給され、この垂直同期信号YDは垂直クロックYSCLおよび反転垂直クロック-YSClに同期して各ラッチ回路151、152…の出力端Oから次段のラッチ回路152、153…に順次出力されるとともに、反転出力端-Oから対応する各NOR回路161、162…の一方の入力端子、および前段のNOR回路161、162…の他方の入力端子に出力される。そして、各NOR回路161、162…からは対応する

インバータ回路171、172…に输出され、さらに対応するインバータ回路181、182…およびインバータ回路191、192を通して電流を増大した上、各ゲート線にゲート信号G1、G2…に出力される。

【0233】図39は、上記垂直クロックYSCL、反転垂直クロック-YSCl、垂直同期信号YDおよびゲート信号G1、G2…のタイミングを示す図である。

【0234】上記したように、ラッチ回路、NOR回路およびインバータ回路で構成されたゲートドライバ94は、ドレインドライバ95の場合と同様に、本発明のインバータ基本回路を用いることによりP型トランジスタだけで構成することができるため、相補型トランジスタで構成した場合と比べると、トランジスタ構造が簡単になり、製造工程数を少なくすることができる。特に、画素のTFTトランジスタにP型トランジスタを採用すれば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを作成することができ、低コスト化が図れる。

【0235】また、本実施形態のゲートドライバ94は、相補型と同様の低消費電力性と、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0236】

【発明の効果】請求項1記載の半導体装置によれば、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、適正な高電位あるいは低電位の出力信号がoutputされるため、この半導体装置を使って回路を構成しても誤動作を防止することができる。また、第1のトランジスタと第2のトランジスタは、一導電型で構成されているため、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化が達成できる。さらに、第1のトランジスタと第2のトランジスタは、非反転信号供給手段と反転信号供給手段によって交互にスイッチングさせるため、リーク電流が小さくなる。

【0237】請求項2記載の半導体装置によれば、一導電型からなる第1または第2のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第3のトランジスタと容量手段とにより、適正な出力電位を補償する。

【0238】請求項3乃至請求項6に記載の半導体装置によれば、第1、第2および第3のトランジスタがP型である場合に、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを反転信号供給手段に接続するようにしたので、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0239】請求項7乃至請求項10に記載の半導体装置によれば、第1、第2および第3のトランジスタがN型である場合、第1のトランジスタの入力端、第2のトランジスタの入力端、あるいは、第3のトランジスタのゲートを非反転信号供給手段に接続するようにしたので、上記の入力端やゲートは、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記非反転信号供給手段に接続することによって、配線を簡素化することができるとともに、消費電力を低減することができる。

【0240】請求項11記載の半導体装置によれば、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号を出力することができるので、この半導体装置を使って回路を構成しても誤動作を防止することができる。また、第1乃至第4のトランジスタは、同一導電型で構成されているので、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化が達成できる。さらに、第1および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせるので、リーク電流が小さくなる。

【0241】請求項12記載の半導体装置によれば、一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるため、第5および第6のトランジスタと第1および第2の容量手段とにより、適正な出力電位を補償することができる。

【0242】請求項13乃至請求項17に記載の半導体装置によれば、第1乃至第6のトランジスタがP型である場合、第1および第2のトランジスタの入力端を反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を非反転信号供給手段に接続するようにしたので、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0243】請求項18記載の半導体装置によれば、非反転信号供給手段と反転信号供給手段からそれぞれ入力される信号に応じて、第1および第2の出力電圧補償回路により出力手段および反転出力手段から適正な高電位あるいは低電位の出力信号を出力することができるので、この半導体装置を使って回路を構成しても誤動作を防止することができる。また、第1乃至第4のトランジスタは、同一導電型で構成されているので、製造工程数が少なくなるとともに、高集積化が可能となり、低コスト化と高密度化を達成することができる。さらに、第1

および第2のトランジスタと第3および第4のトランジスタは、非反転信号供給手段と反転信号供給手段とによって、それぞれ交互にスイッチングさせるので、リーク電流を小さくすることができる。

【0244】請求項19記載の半導体装置によれば、同一導電型からなる第1乃至第4のトランジスタは、その出力電位がしきい値分だけ鈍るという特性があるので、第5および第6のトランジスタと第1および第2の容量手段とにより、適正な出力電位を補償する。

【0245】請求項20乃至請求項24に記載の半導体装置によれば、第1乃至第6のトランジスタがN型である場合、第1および第2のトランジスタの入力端を非反転信号供給手段に接続するとともに、第3および第4のトランジスタの入力端を反転信号供給手段に接続するようにしたので、上記の各入力端は、常に高電位や低電位を入力する必要がなく、所定のタイミングで高電位や低電位が入力されればよいため、上記反転信号供給手段や非反転信号供給手段に接続することによって、配線を簡素化することができ、消費電力を低減することができる。

【0246】請求項25記載の半導体装置によれば、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られるラッチ回路とすることができる。

【0247】請求項26乃至請求項29に記載の半導体装置によれば、請求項11または請求項18記載の半導体装置において、同一導電型の複数のトランジスタにより、AND、NAND、OR、NOR、EXOR、EX-NOR等の論理回路を備えるようにしたので、同一導電型のトランジスタで構成したことにより、製造工程数が減少して、低コスト化できるとともに、高密度で実装できる上、適正な出力電位が得られる論理回路とすることができる。

【0248】請求項30記載の半導体装置によれば、半導体装置の出力手段や反転出力手段からの出力電位を用いて、さらに、第5のトランジスタをスイッチングさせることにより、例えば、トライステート回路等に適用することができる。

【0249】請求項31記載の表示駆動装置によれば、本発明の半導体装置を含むラッチ回路を使って表示駆動装置を構成したので、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【0250】請求項32記載の表示駆動装置によれば、本発明の半導体装置を含むインバータ回路を使って表示駆動装置を構成したので、適正な出力電位によって、確実かつ正確な表示駆動を行うことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置のインバータ基本回路構成を示す図。

【図2】図1のインバータ基本回路を2個組み合わせて正論理・負論理の両方の否定を出力するインバータ回路の構成を示す図。

【図3】図2のインバータ回路のシンボルを示す図。

【図4】図3に示すインバータ回路のシンボルを3個連続して接続した状態を示す図。

【図5】図4の3個のインバータ回路を直列に接続して動作させた時の信号波形のシュミレーション結果を示す図。

【図6】図2のインバータ回路を変形した回路構成例を示す図。

【図7】図2のインバータ回路を変形した回路構成例を示す図。

【図8】図2のインバータ回路を変形した回路構成例を示す図。

【図9】図2のインバータ回路を変形した回路構成例を示す図。

【図10】図2に示すP型トランジスタのインバータ回路をN型トランジスタで構成した場合の回路図。

【図11】図2のインバータ回路とバスロジック回路とを接続した回路を示す図。

【図12】図11のインバータ回路の入力信号と出力信号の波形を示す図。

【図13】図10のインバータ回路を変形した回路構成例を示す図。

【図14】図10のインバータ回路を変形した回路構成例を示す図。

【図15】図10のインバータ回路を変形した回路構成例を示す図。

【図16】図1の基本回路を組み合わせてデータを一時的に保持するラッチ回路の構成図。

【図17】図16に示すラッチ回路のシンボルを示す図。

【図18】ラッチ回路を動作させた時の入出力信号のシュミレーション結果を示す図。

【図19】P型トランジスタを使った図16のラッチ回路のインバータ回路を図記号に置換した回路図。

【図20】N型トランジスタを使ってラッチ回路を構成してインバータ回路を図記号に置換した回路図。

【図21】図1の基本回路とP型トランジスタとを組み合わせて論理積とその否定を生成するアンド回路の構成図。

【図22】図21のアンド回路のシンボルを示す図。

【図23】図22のアンド回路における各入力パターンに対するアンド出力と NAND 出力のシュミレーション結果を示す図。

【図24】図21に示すP型トランジスタからなるアンド回路の変形例を示す回路図。

【図25】図21に示すP型トランジスタからなるアンド回路の別の変形例を示す回路図。

【図26】N型トランジスタで構成されたアンド回路の回路図。

【図27】N型トランジスタで構成されたOR・NOR回路の回路図

【図28】図27のOR・NOR回路のシンボルを示す図。

【図29】N型トランジスタで構成されたEXOR・E XNOR回路の回路図。

【図30】図29のEXOR・EXNOR回路のシンボルを示す図。

【図31】交流化電圧を生成するトライステート回路の一構成例を示す図。

【図32】図31のトライステート回路のシンボルを示す図。

【図33】図32のトライステート回路へ入力されるa、bの2つの入力信号とこれに基づいて生成される交流化電圧出力cのシュミレーション結果を示す図。

【図34】図31のトライステート回路を変形した他の実施形態に係る構成図。

【図35】本実施形態に係る駆動回路一体型TFT-L CDの概略構成図。

【図36】図35に示すドレインドライバを基本回路とP型トランジスタからなるラッチ回路と、アンド回路と、トライステート回路とで構成した部分回路図。

【図37】図18各部の信号波形を示すタイミングチャート。

【図38】図35に示すゲートドライバを基本回路とP型トランジスタからなるラッチ回路と、アンド回路と、インバータ回路とで構成した部分回路図。

【図39】図37各部の信号波形を示すタイミングチャート。

【図40】相補型インバータ回路の構成を示す図。

【図41】PMOSを2個使って構成した無比率形インバータの基本回路を組み合わせて構成した無比率形インバータ回路を示す図。

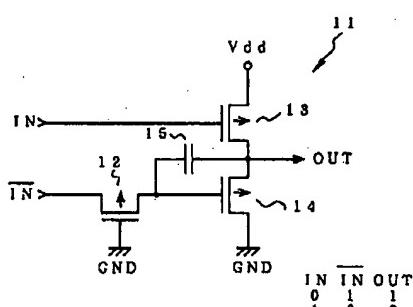
【図42】図41の動作時における各部の信号波形を示す図。

【符号の説明】

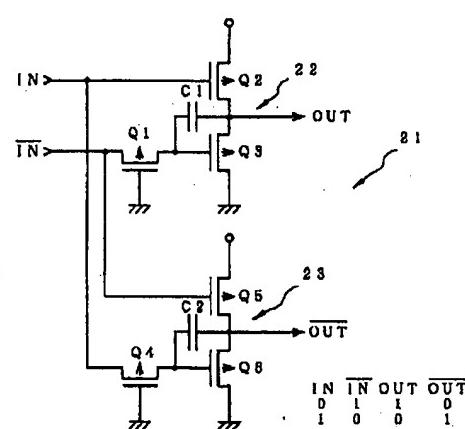
1 1	半導体装置
1 2, 1 3, 1 4	P型トランジスタ
1 5	コンデンサ
2 1, 3 1, 4 1	インバータ回路
2 2, 2 3	インバータ基本回路
5 1	ラッチ回路
5 2, 5 3	インバータ基本回路
5 5, 5 6, 5 7	論理回路
6 1	ラッチ回路
6 2	アンド回路
6 4	OR・NOR回路
6 5	EXOR・EXNOR回路

71, 81	トライステート回路	* 151, 152, 153	ラッチ回路
72, 73	インバータ基本回路	161, 162	NOR回路
91	駆動回路一体型 TFT-L	171, 172	インバータ回路
CD		181, 182	インバータ回路
92	ガラス基板	191, 192	インバータ回路
93,	液晶表示パネル	210	インバータ回路
94	ゲートドライバ	220, 230	インバータ基本回路
95	ドレインドライバ	310, 320, 330	アンド回路
101, 102, 103	ラッチ回路	【手続補正2】	
111, 112	アンド回路	【補正対象書類名】図面	
121, 122	ラッチ回路	【補正対象項目名】全図	
131, 132	ラッチ回路	【補正方法】変更	
141, 142	トライステート回路	*	【補正内容】

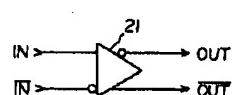
【図1】



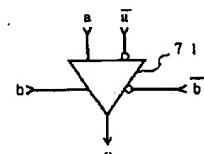
【図2】



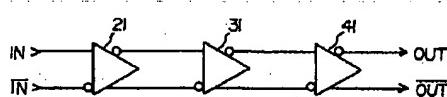
【図3】



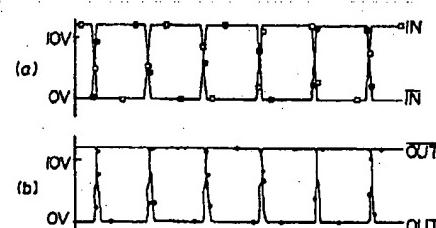
【図3-2】



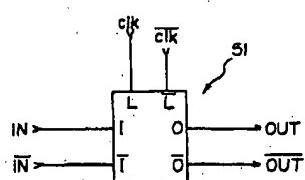
【図4】



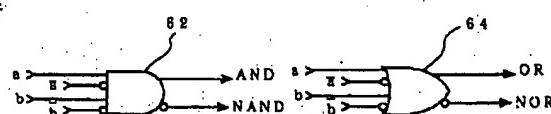
【図5】



【図17】

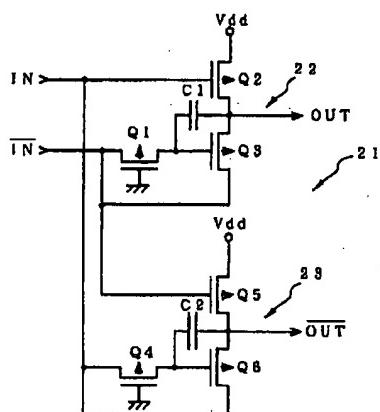


【図22】

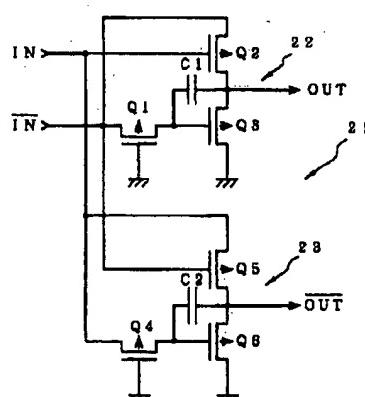


【図28】

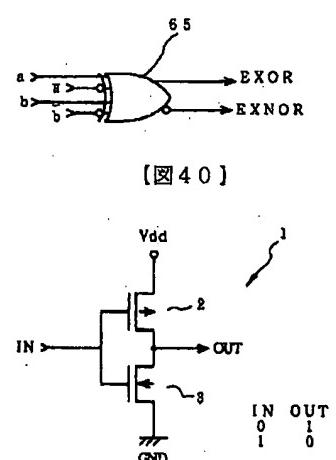
【図6】



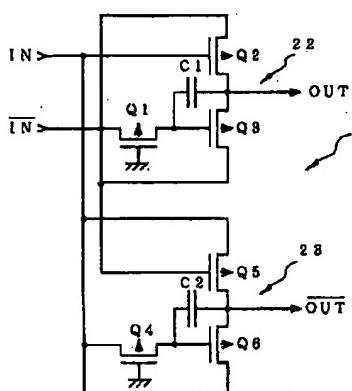
【図7】



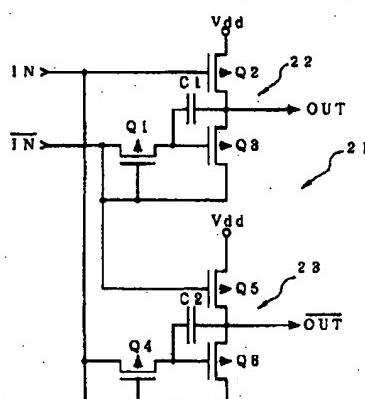
【図30】



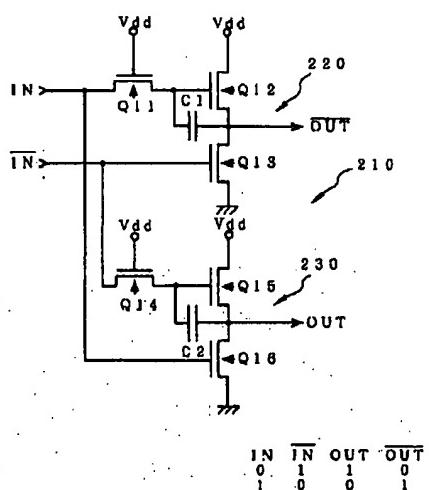
【図8】



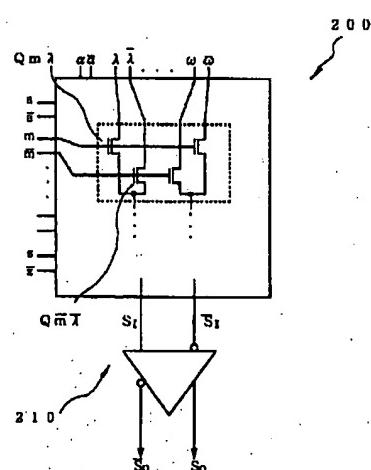
【図9】



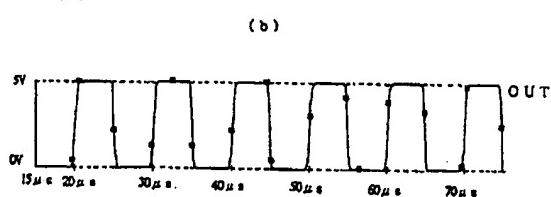
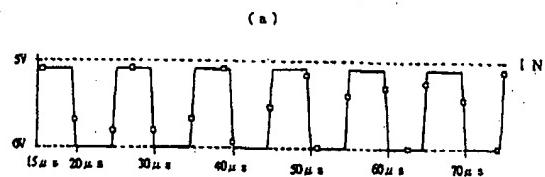
【図10】



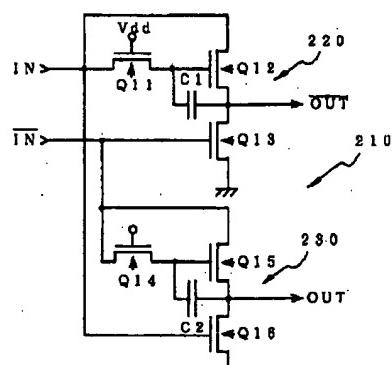
【図11】



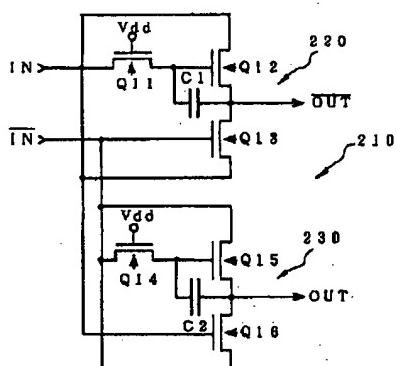
【図12】



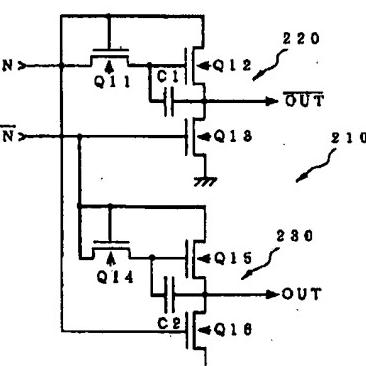
【図13】



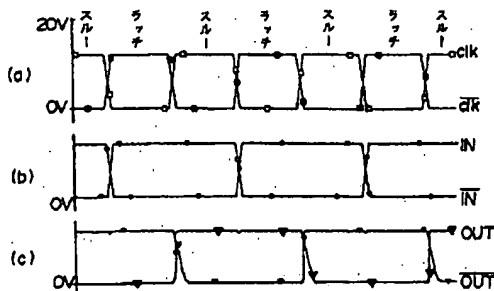
【図14】



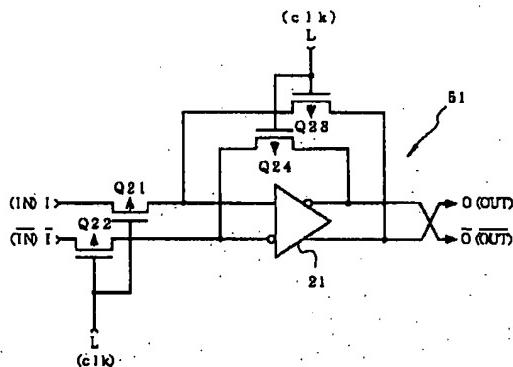
【図15】



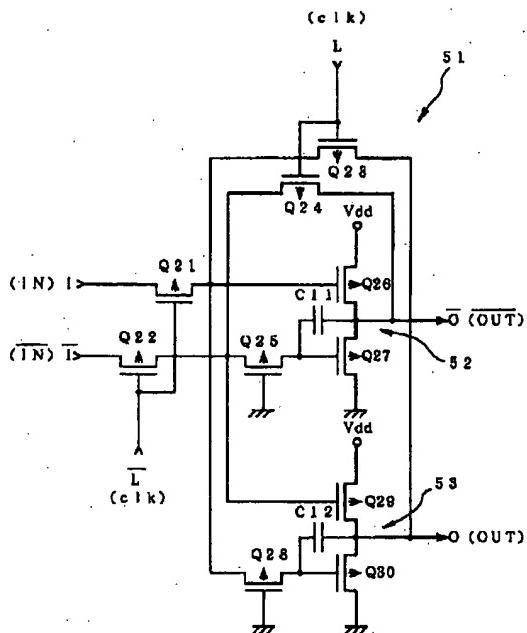
【図18】



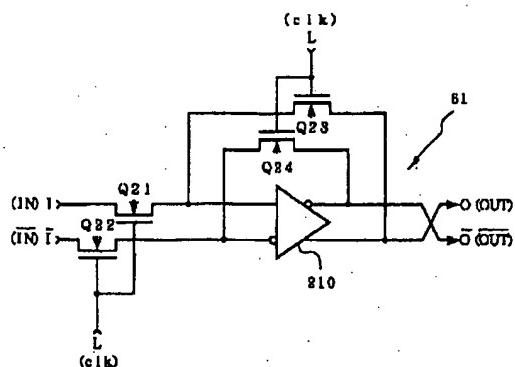
【図19】



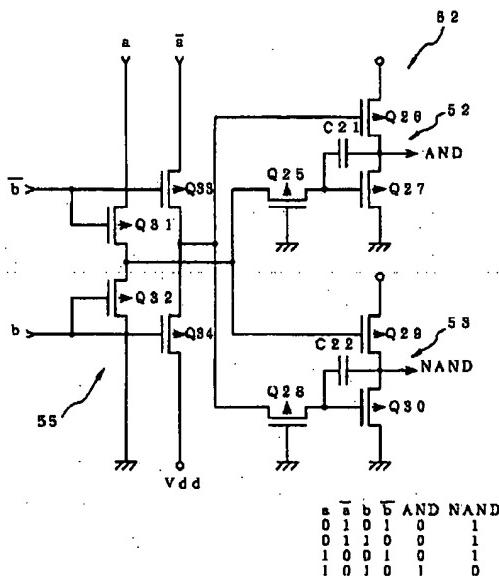
[図16]



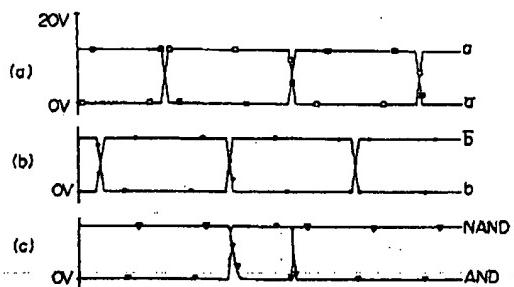
[図20]



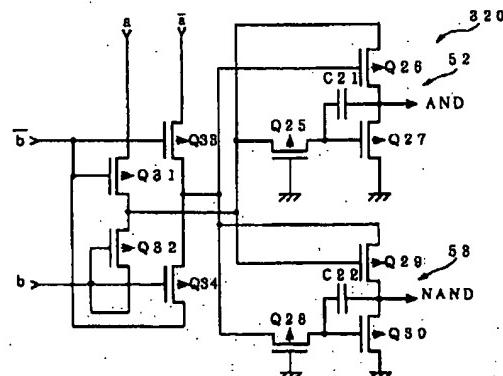
[図21]



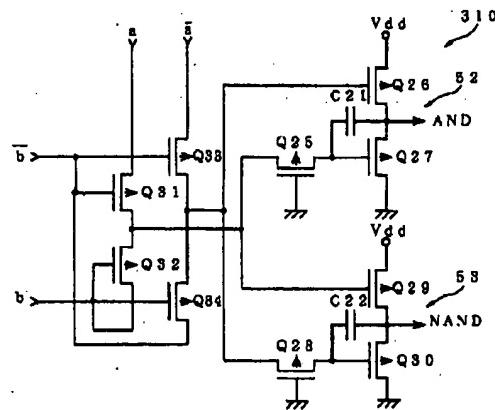
[図23]



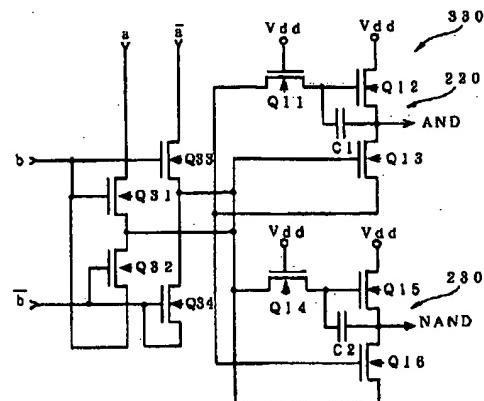
[図25]



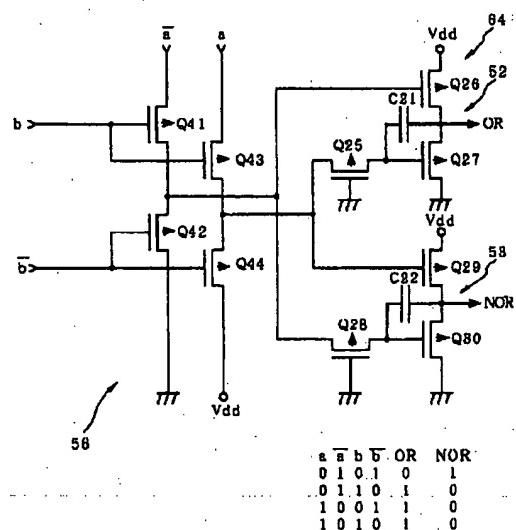
【図24】



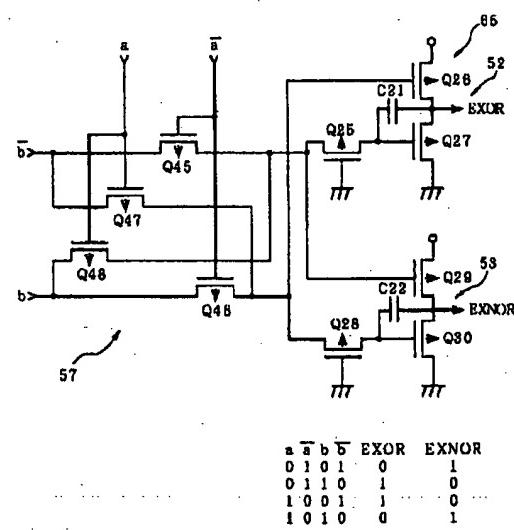
【図26】



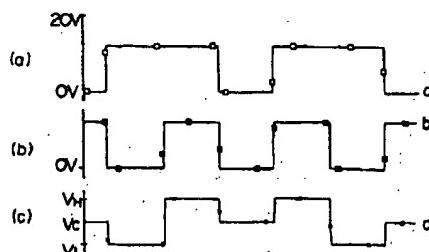
【図27】



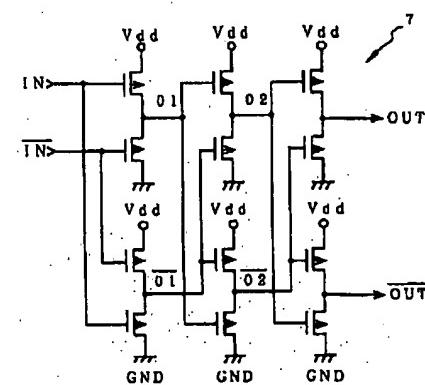
【図29】



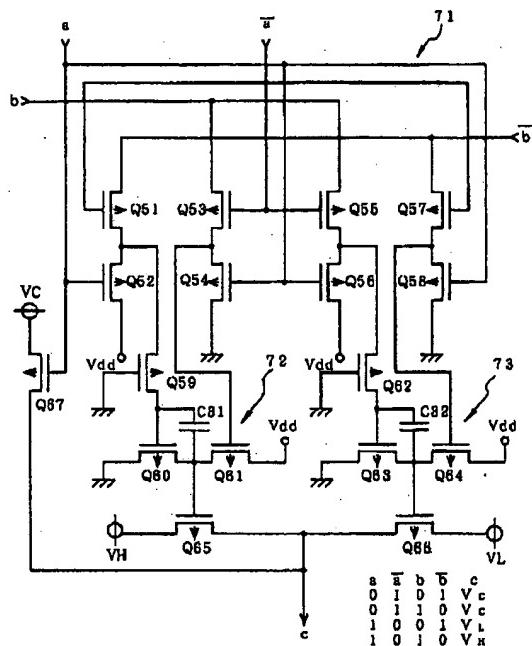
【図33】



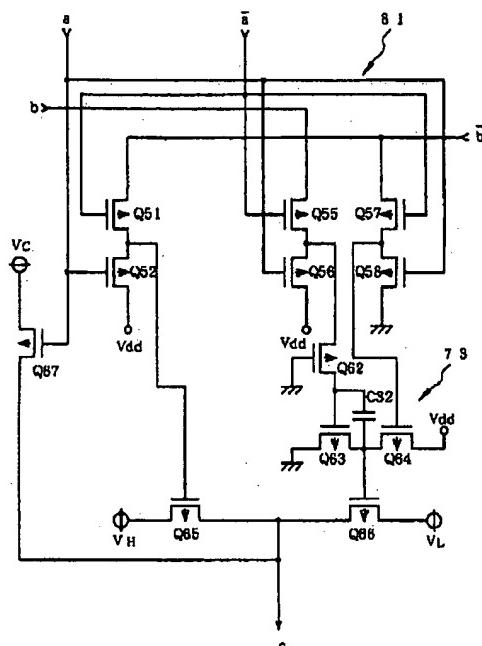
【図41】



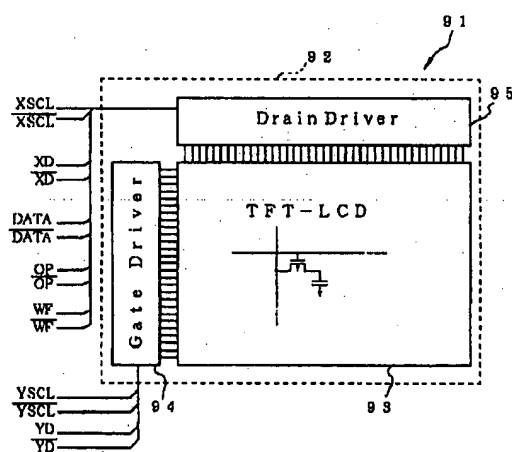
【図31】



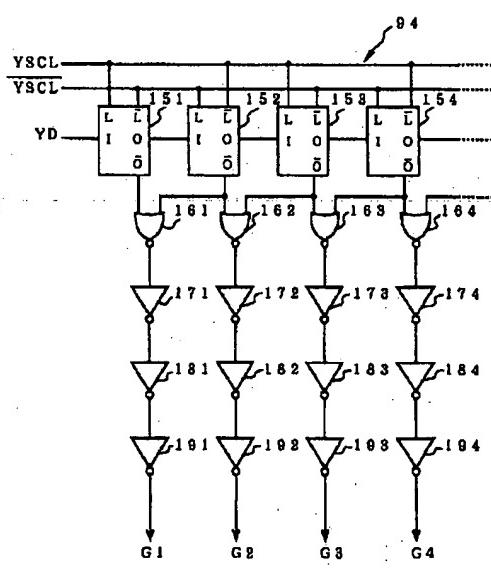
【図34】



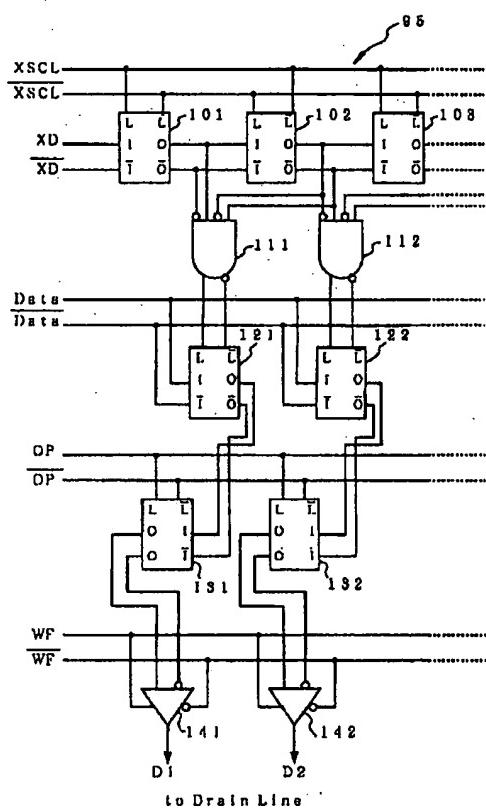
【図35】



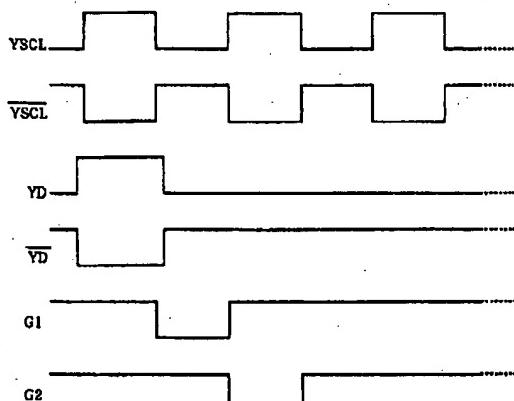
【図38】



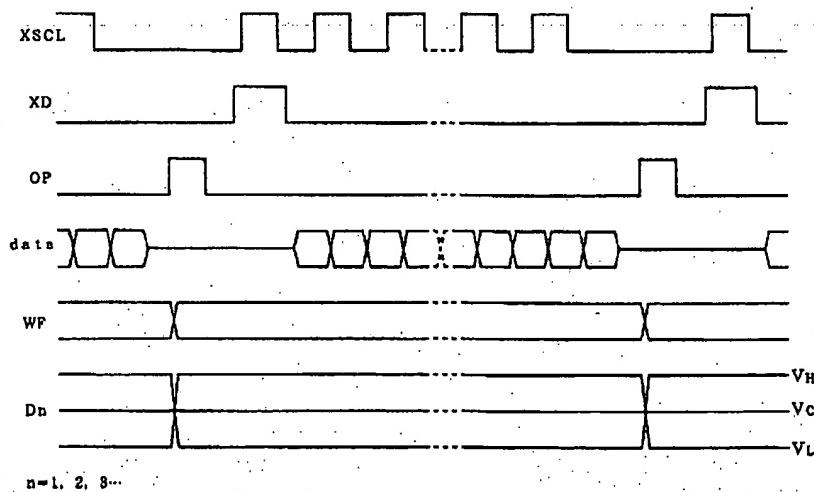
【図36】



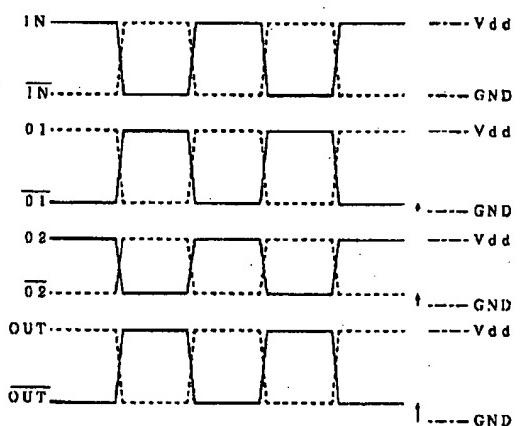
【図39】



【図37】



【図42】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 03 K 3/356 17/14 19/0175			H 04 N 5/66 H 01 L 29/78 H 03 K 3/356 19/00	1 0 2 B 6 1 2 B Z 1 0 1 A
H 04 N 5/66	1 0 2			